

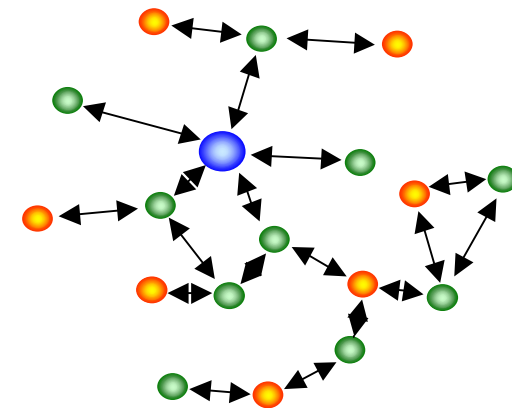
Diseño de Ultra Bajo Consumo

III. Orígenes del consumo en circuitos digitales y analógicos: límites teóricos y reducción.

Fernando Silveira

Instituto de Ingeniería Eléctrica, Universidad de la
República, Uruguay

CCC del Uruguay S.A.



Organización de las Presentaciones

- ◆ I. Modelado del transistor MOS para diseño de bajo consumo.
- ◆ II. Metodología de diseño de circuitos integrados analógicos MOS y operación bloques básicos.
- ◆ **III. Consumo en circuitos digitales y analógicos: origen, límites teóricos y técnicas de circuito.**
- ◆ IV. Técnicas de reducción de consumo a nivel sistema. Ejemplos y tendencias.

Agenda

- ◆ I. Consumo circuitos digitales
 - Origen
 - Técnicas para reducción del consumo

- ◆ II. Ruido, límites teóricos y prácticos de consumo
 - Implementaciones Analógicas vs. Digitales

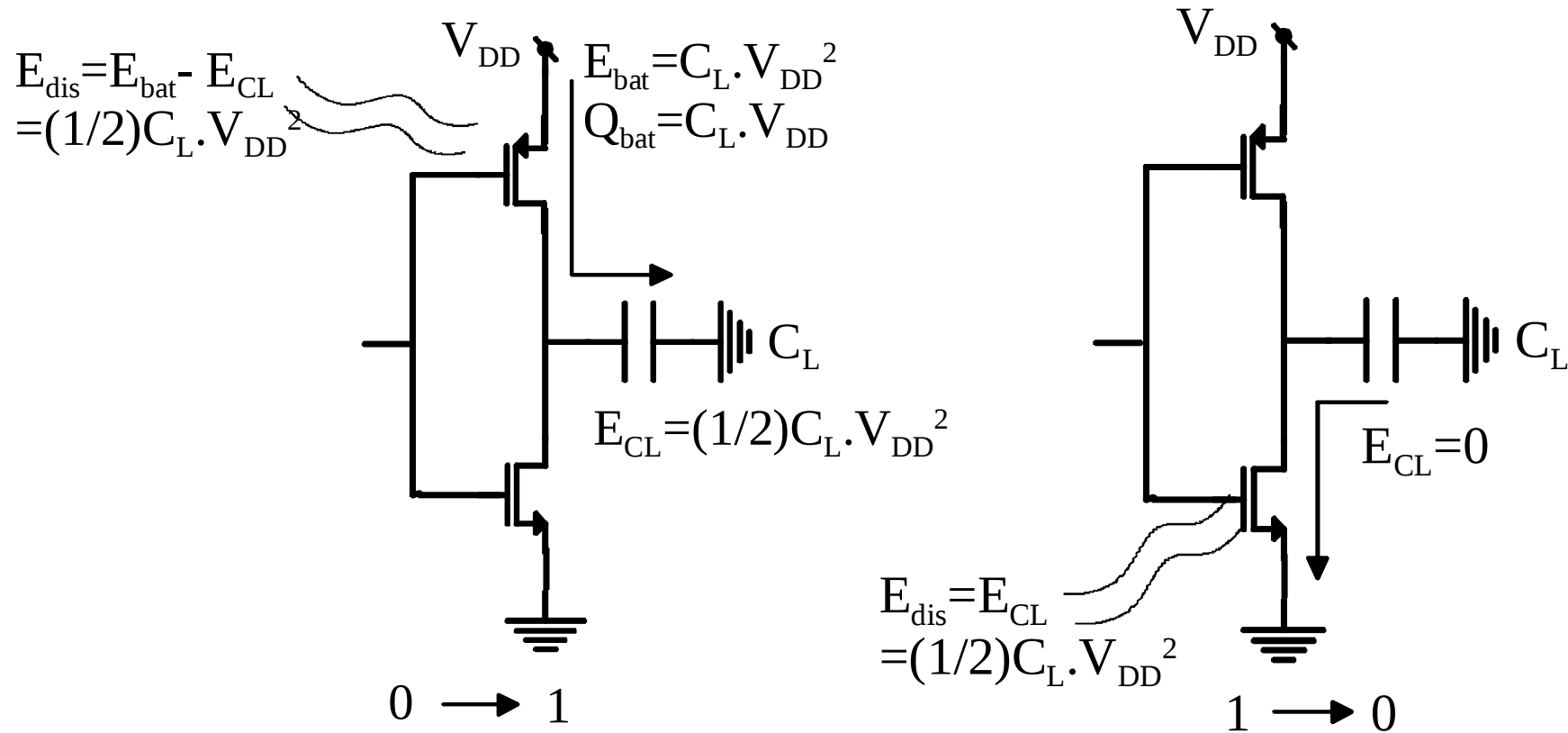
I. Consumo circuitos digitales MOS:

Componentes

- ◆ Consumo dinámico
- ◆ Consumo de cortocircuito
- ◆ Consumo estático

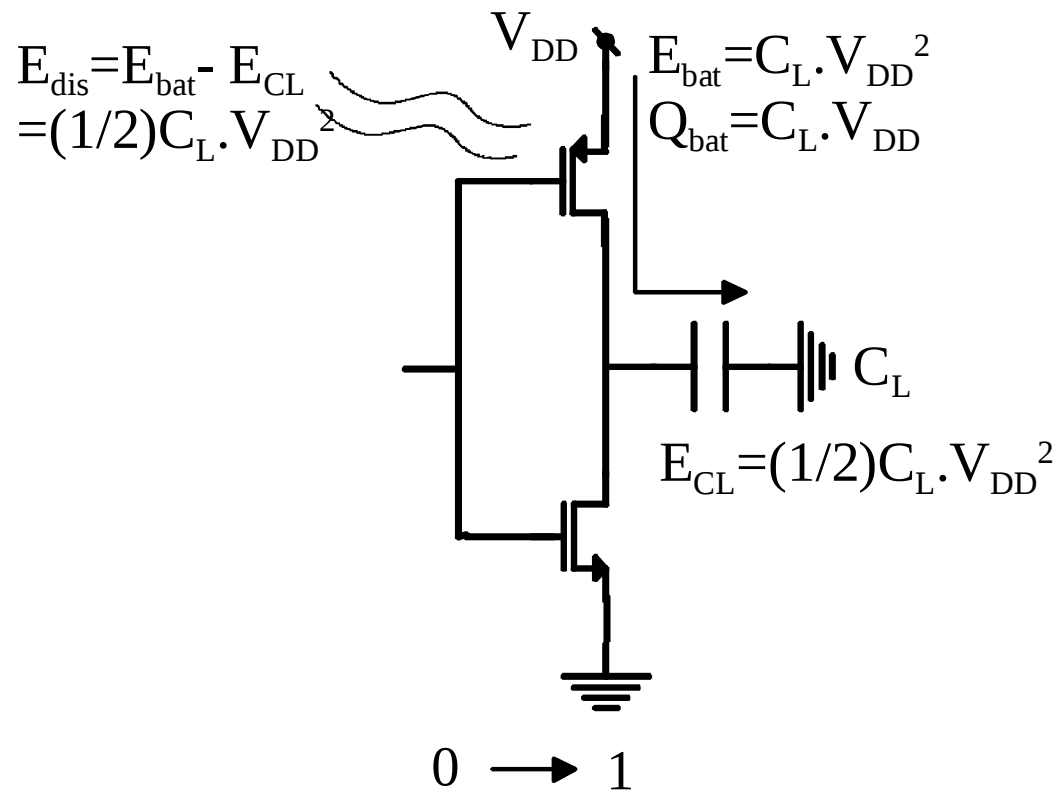
I. Consumo circuitos digitales MOS

Consumo Dinámico (1)



I. Consumo circuitos digitales MOS

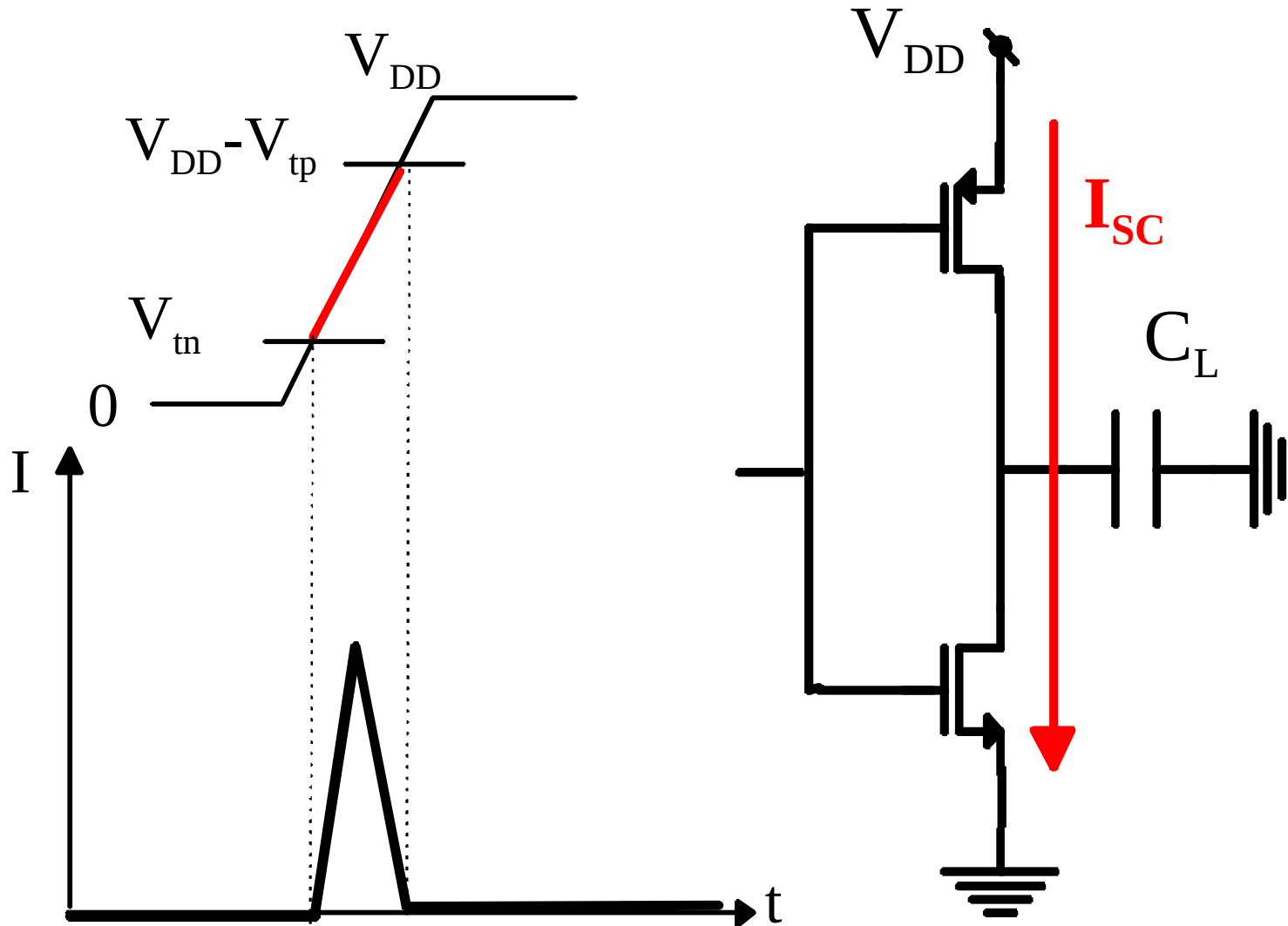
Consumo Dinámico (2)



- ◆ $E_{bat} = C_L \cdot V_{DD}^2$
- ◆ $P_{bat} = f_{0 \rightarrow 1} \cdot C_L \cdot V_{DD}^2$ o $P_{bat} = \alpha \cdot f_{CLK} \cdot C_L \cdot V_{DD}^2$,
- ◆ α : porcentaje de actividad
- ◆ V_{DD}^2 con “full swing”, $V_{DD} \cdot V_1$ si swing reducido.

I. Consumo circuitos digitales MOS

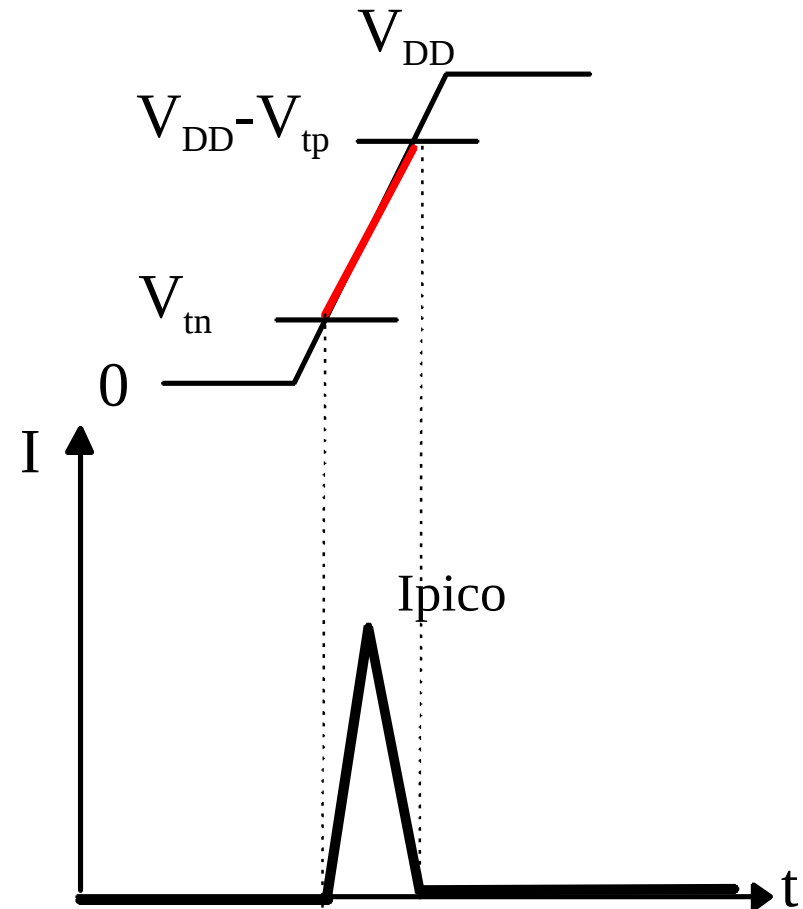
Consumo Cortocircuito (1)



I. Consumo circuitos digitales MOS

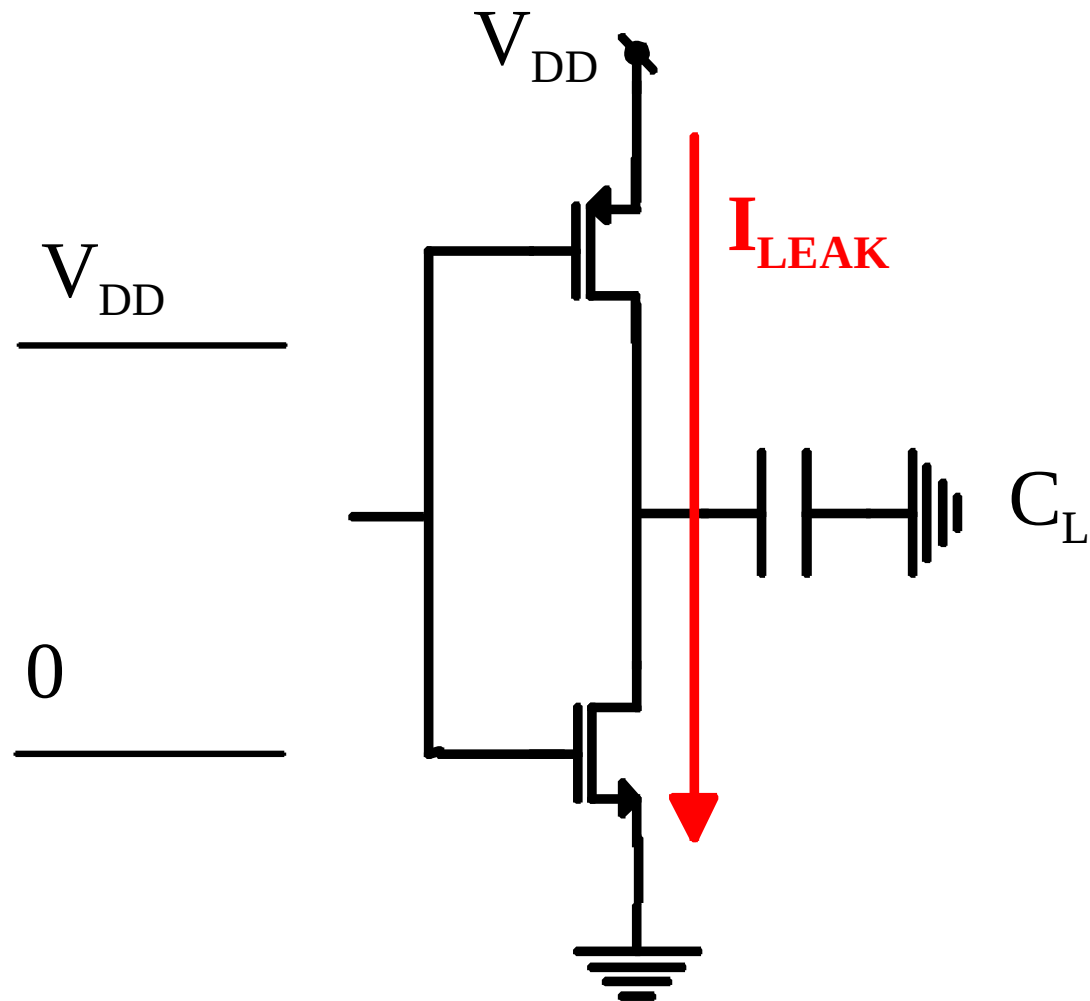
Consumo Cortocircuito (2)

- ◆ $E_{VDD} \cong V_{DD} \cdot I_{pico} \cdot t_{rise} / 2$,
- ◆ Análogamente para t_{fall}
- ◆ 5 a 20 % de la potencia dinámica
- ◆ Cuidado con t_{rise} y t_{fall} muy lentos y entradas abiertas.



I. Consumo circuitos digitales MOS

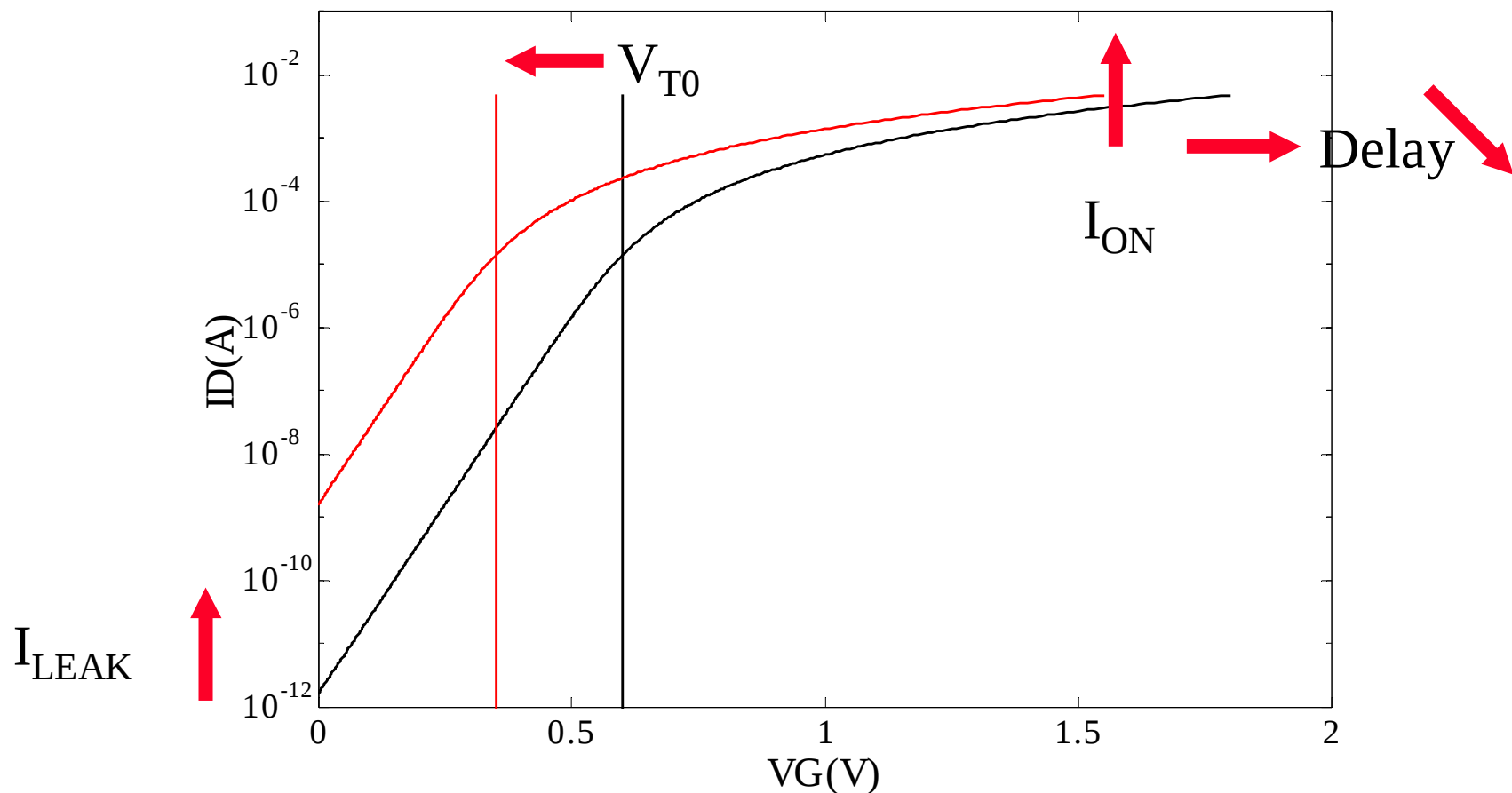
Consumo Estático (1)



I. Consumo circuitos digitales MOS

Consumo Estático (2)

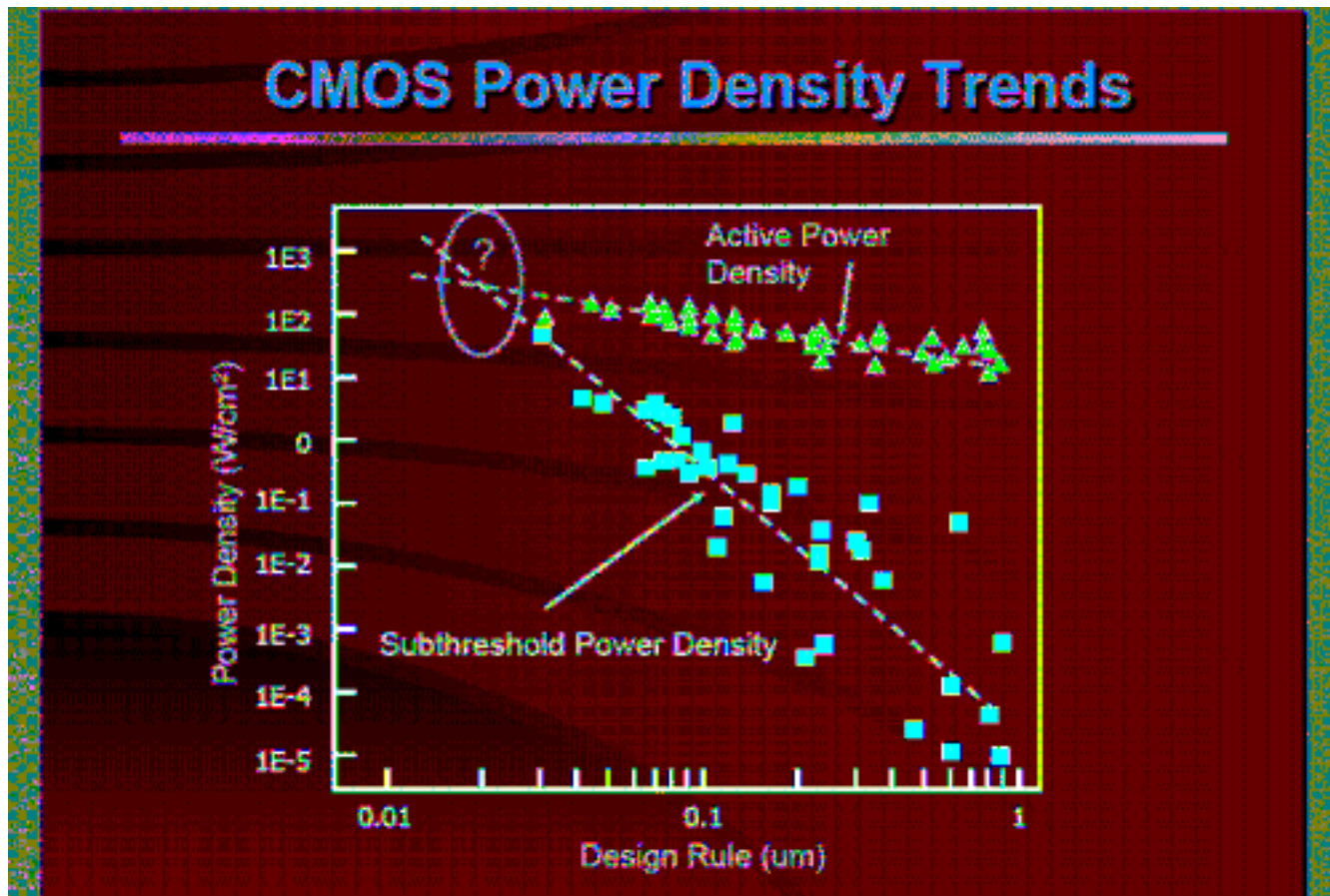
- ◆ Actualmente componente principal: corriente subumbral



I. Consumo circuitos digitales MOS

Consumo Estático (3)

- ◆ Problema serio en circuitos “deep submicron” ($<0.25\mu\text{m}$)
- ◆ S. Kang, CAS Tour 2004, Bahia Blanca



I. ¿Potencia o Energía ?

- ◆ **Energía** => duración de la batería

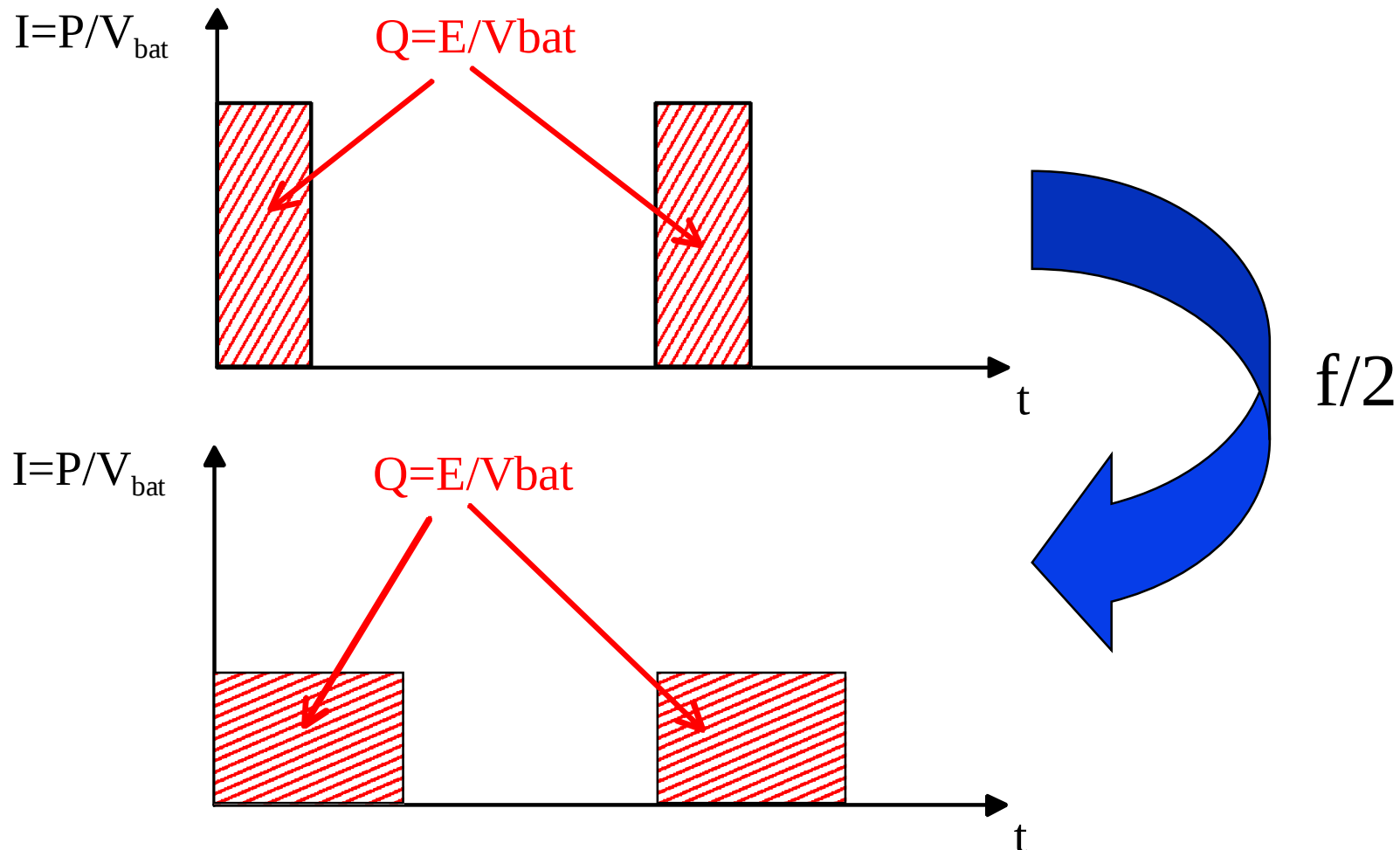
$E_{\text{bat}} = Q_{\text{bat}} \cdot V_{\text{bat}} \Rightarrow E_{\text{bat}}$ indicador de Q_{bat} asumiendo $V_{\text{bat}} \approx \text{constante}$

- ◆ **Potencia** => Distribución del consumo de energía en el tiempo
 - Disipación
 - Corriente pico a manejar => Movimiento en alimentación (Ground o V_{DD} bounce)
 - Dimensionado del sistema de alimentación
 - Variable a mirar en un sistema alimentado de la red de energía eléctrica.
- ◆ Algunos formas de bajar potencia pueden no ayudar a bajar la energía ...

I. ¿Potencia o Energía ? (2)

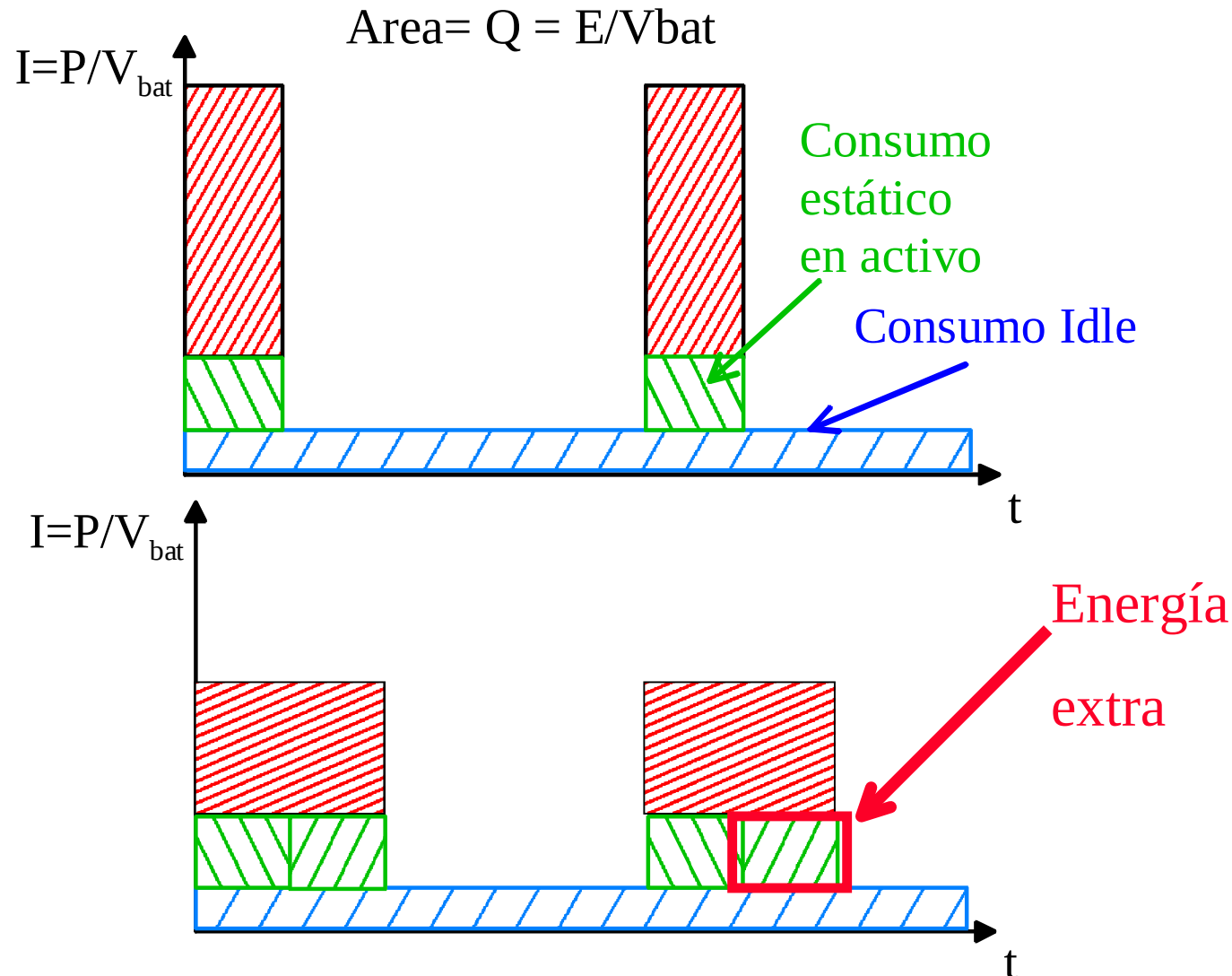
Sistemas con Standby o Sleep: caso ideal

- ◆ Técnica fundamental para bajo consumo: apagar lo que no se usa

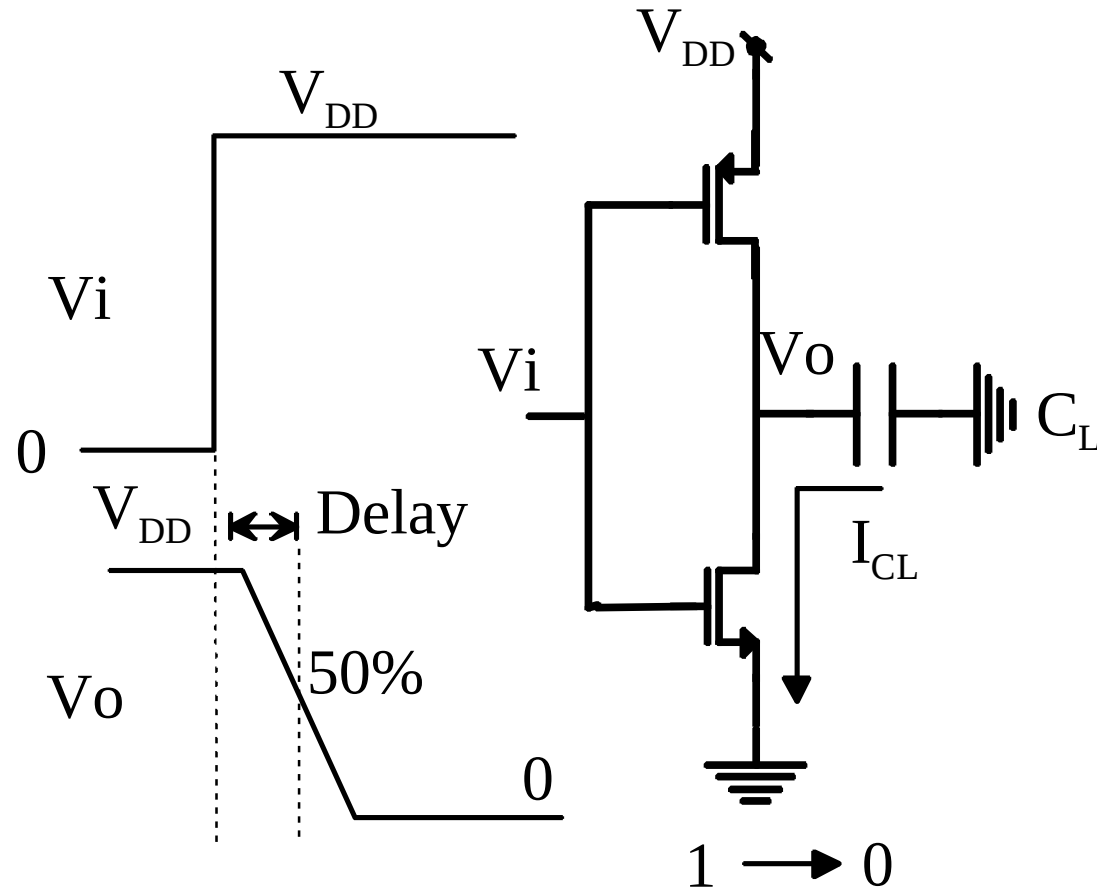


I. ¿Potencia o Energía ? (2)

Sistemas con Standby o Sleep: caso real



I. Circuitos digitales: Delay



◆ $\text{Delay} \propto V_{DD}/(V_{DD}-V_T)^\alpha$ con $1 < \alpha < 2$

I. Reducción de consumo digital

$$P_{\text{bat}} = \alpha \cdot f_{\text{CLK}} \cdot C_L \cdot V_{\text{DD}}^2$$

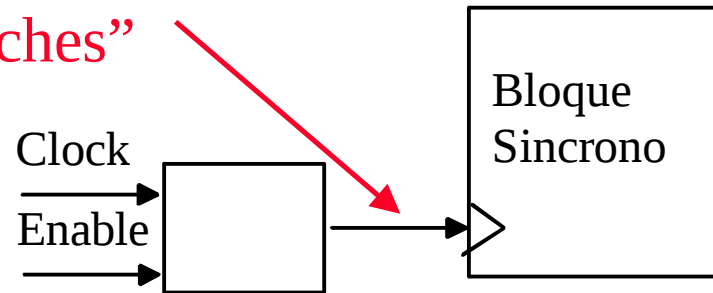
- ◆ α : Reducir transiciones
- ◆ f_{CLK} : Reducir frecuencia (ver energía)
- ◆ C_L : Reducir C_L
- ◆ V_{DD} : Reducir V_{DD}

I. Reducción de consumo digital

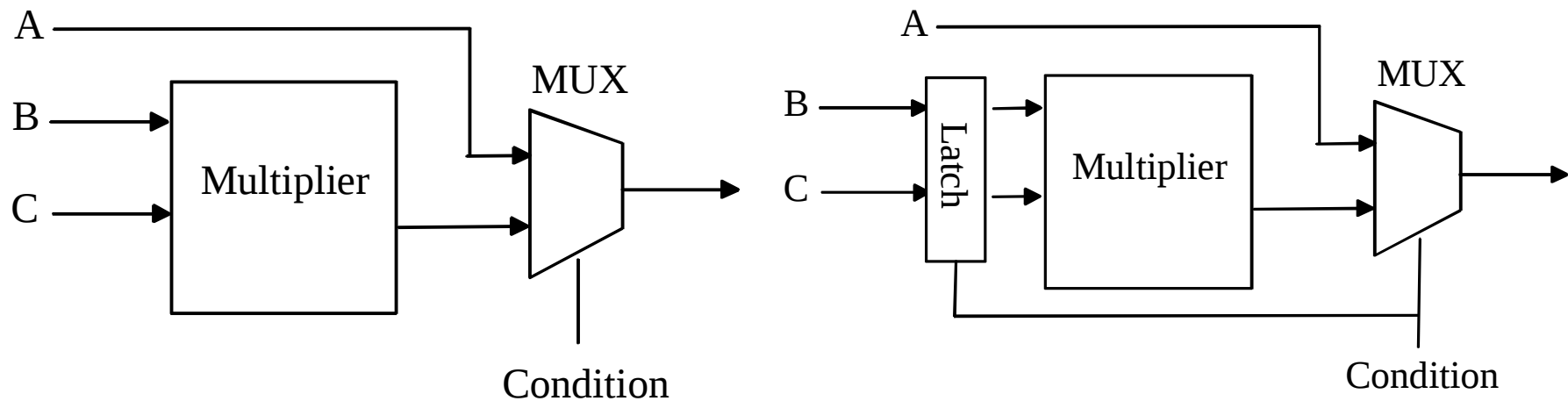
Reducción transiciones: “clock and signal gating”

- ◆ **Clock gating:** No aplicar reloj a bloques que no lo precisan

Sin “glitches”



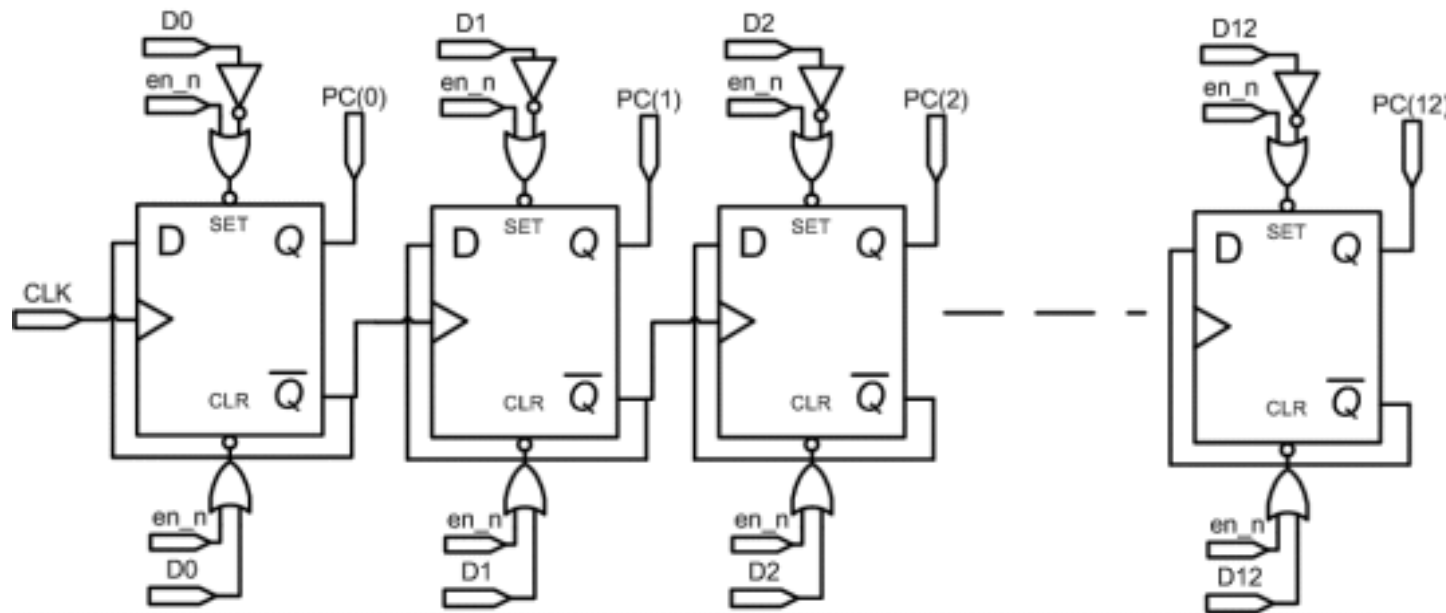
- ◆ **Signal gating:** No dejar propagar señales si no se precisa



I. Reducción de consumo digital

Reducción transiciones: arquitectura (1)

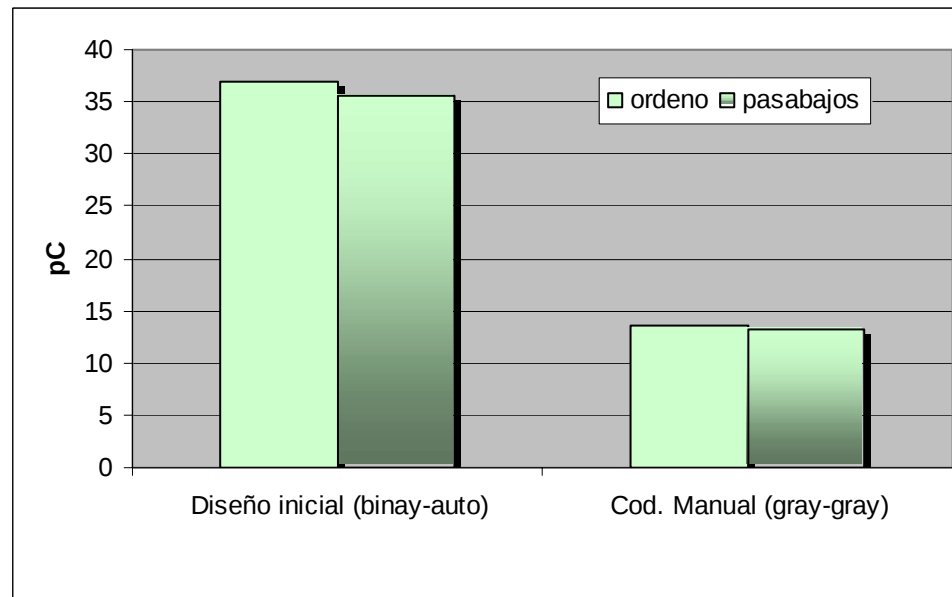
- ◆ Contador de Ripple en lugar de Contador Síncrono
- ◆ Solo primer flip flop recibe reloj rápido.



I. Reducción de consumo digital

Reducción transiciones: arquitectura (2)

- ◆ Ej. Máquina de Control Microprocesador (Castro, Merello, Sayas):
 - División en dos máquinas de estados, una de ellas opera solo en el primer período de decodificación de la instrucción.
 - Codificación manual de estados para minimizar conmutaciones en las transiciones de estado. (No usar tipo STATE de VHDL).



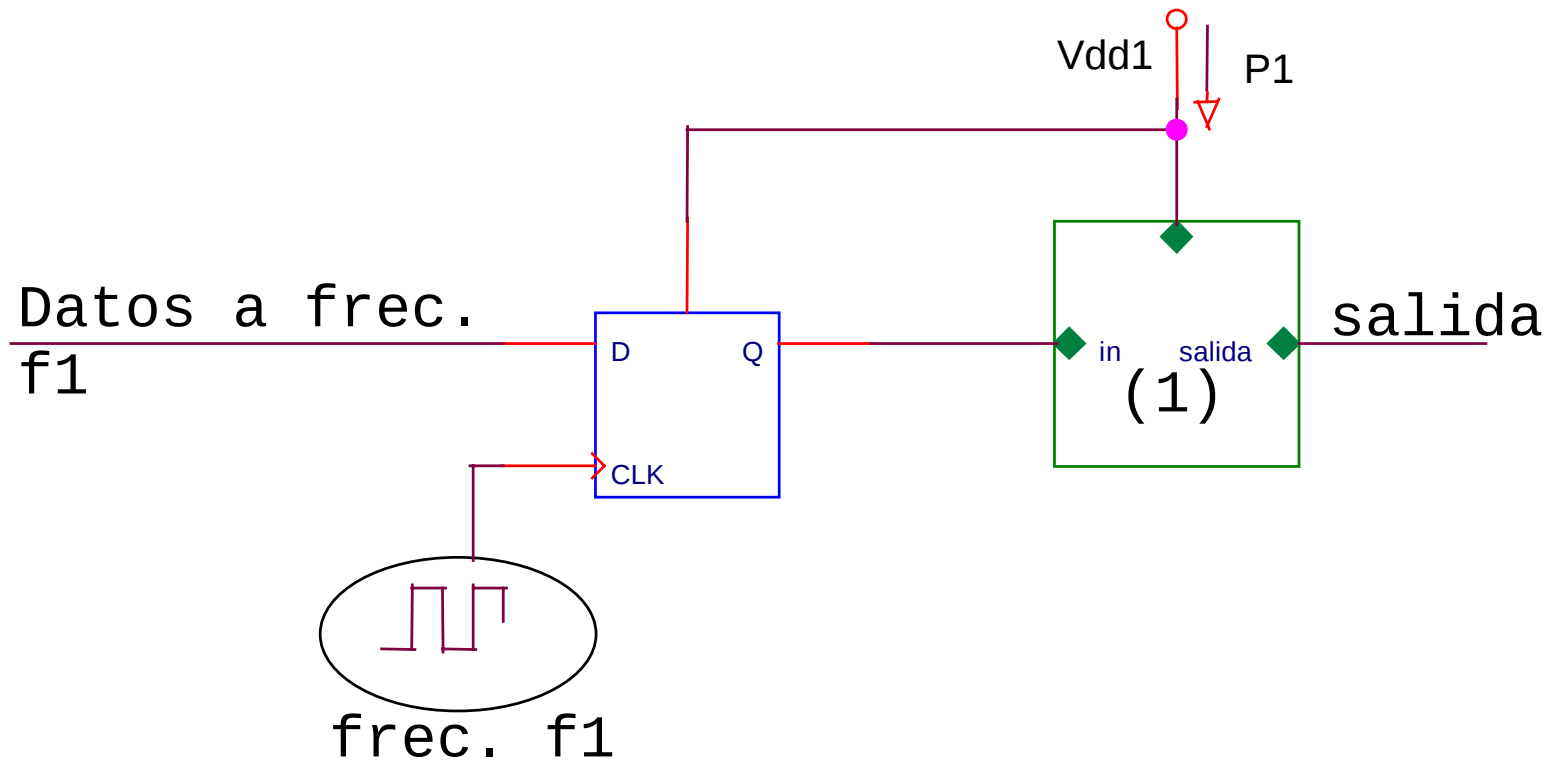
I. Reducción de consumo digital

Trade-off V_{DD} -velocidad-consumo

- ◆ **Delay** $\propto V_{DD}/(V_{DD}-V_T)^\alpha$ con $1 < \alpha < 2$
- ◆ **P** $\propto f \cdot V_{DD}^2$
- ◆ Idea básica: imaginemos $\alpha=2$, $V_{DD} \gg V_T$
 $\Rightarrow \text{Delay} \propto 1/V_{DD}$, $P \propto f \cdot V_{DD}^2 \approx (1/\text{Delay}) \cdot V_{DD}^2 = V_{DD}^3$
 $\Rightarrow$ Si me “sobra tiempo” $\Rightarrow$ puedo bajar V_{DD} , ir más despacio y bajar mucho consumo.
- ◆ En la práctica:
 - Efectos α y V_T
 - No siempre sobra tiempo y en general no quiero ir más despacio.
- ◆ Otras alternativas con el mismo principio:
 - Paralelismo
 - Pipelining
 - Control dinámico de V_{DD}

I. Reducción de consumo digital

Paralelismo (1)



I. Reducción de consumo digital

Paralelismo (2)

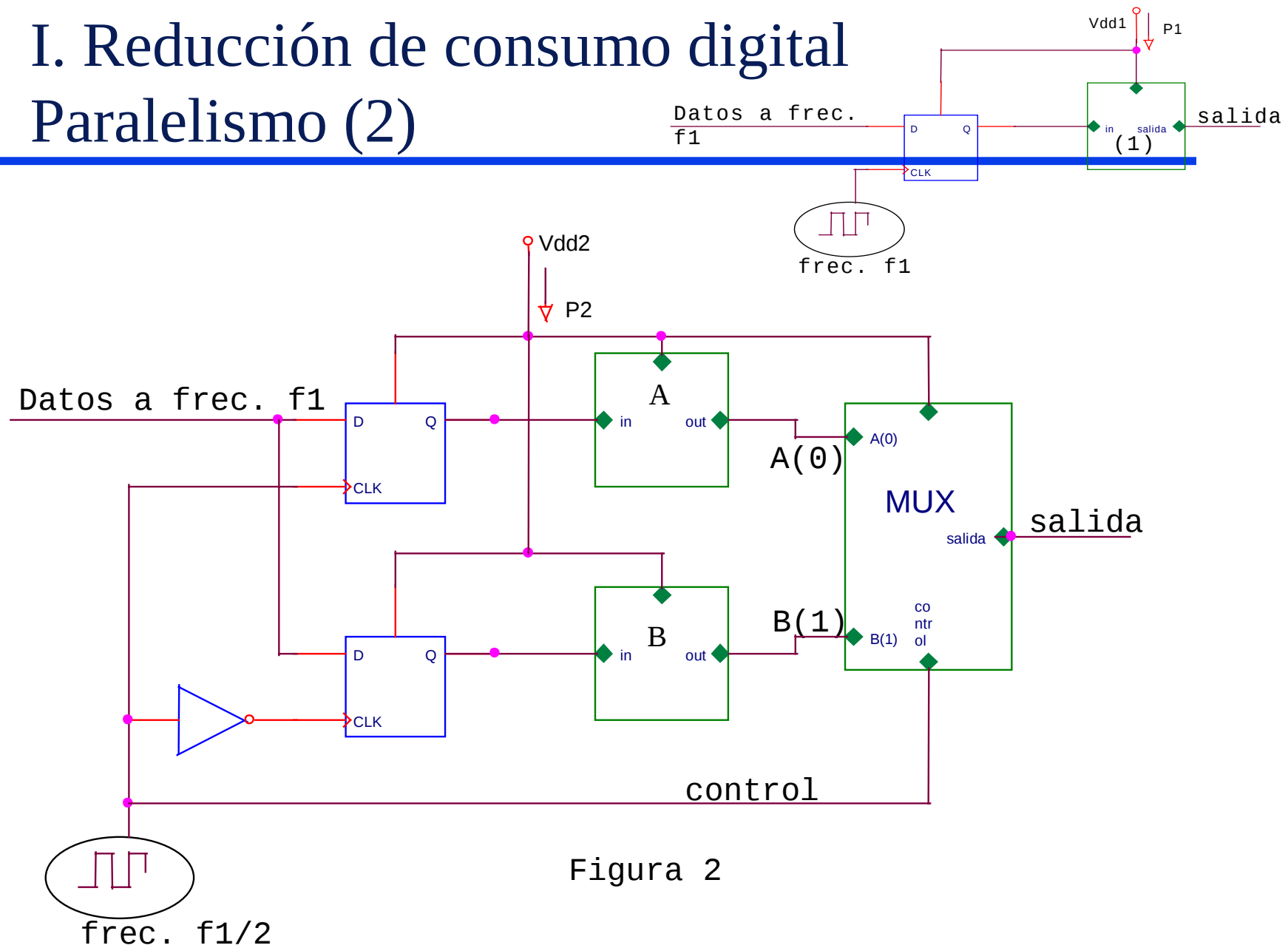
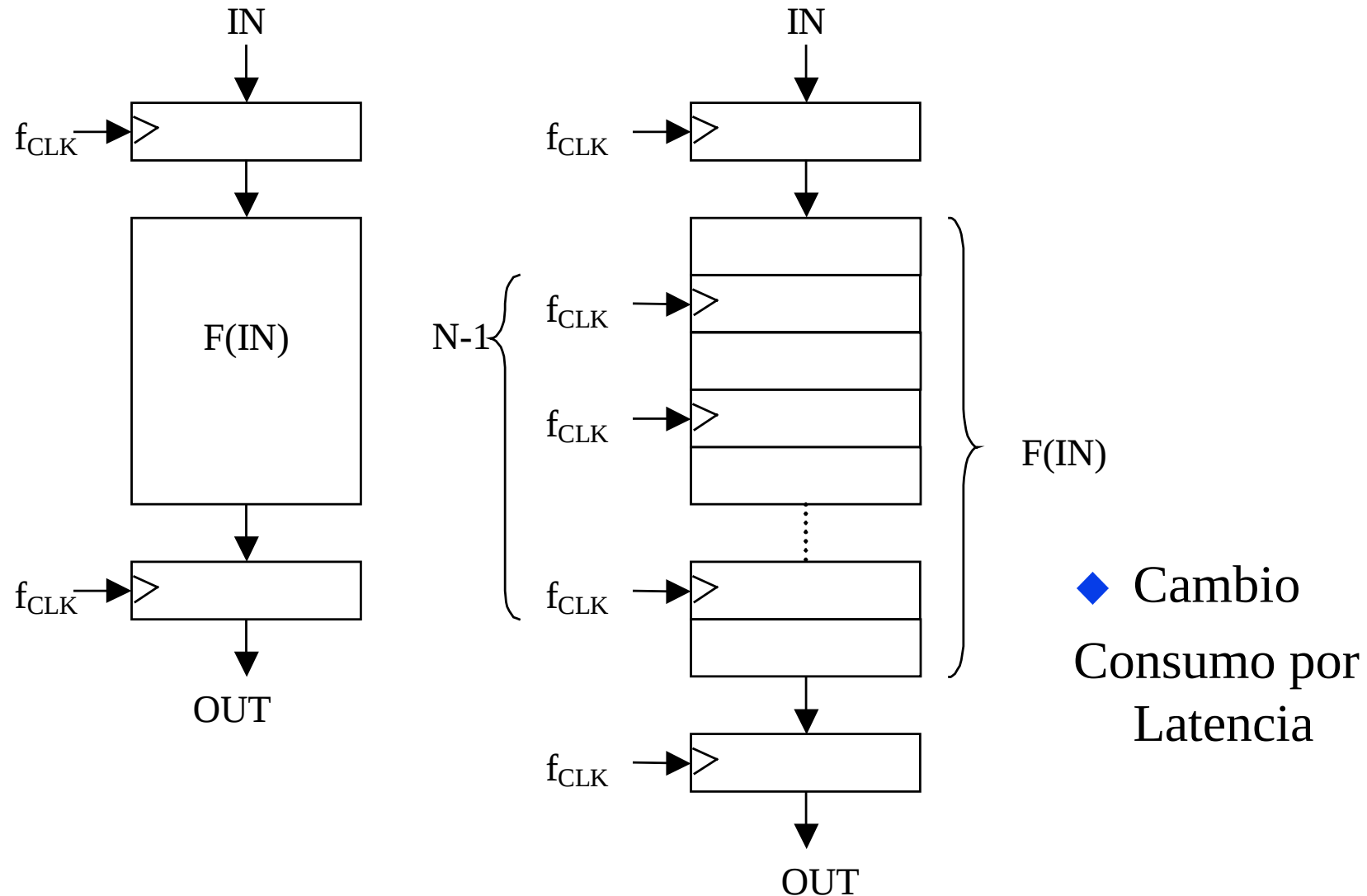


Figura 2

I. Reducción de consumo digital

Pipeline



I. Reducción de consumo digital

Paralelismo y Pipeline

Architecture Type	Voltage	Area	Power
Simple data path (no pipelining or parallelism)	5 V	1	1
Pipelined data path	2.9 V	1.3	0.39
Parallel data path	2.9 V	3.4	0.36
Pipeline parallel	2.0 V	3.7	0.2

- ◆ A. Chandrakasan, S. Sheng, R. Brodersen, Low-power CMOS Digital Desing, IEEE Journal of Solid-State Circuits, April 92.

I. Reducción de consumo digital

Control dinámico de V_{DD}

- ◆ Ej. Cambio V_{DD} según carga de trabajo de un procesador.

Se requiere:

- ◆ Algoritmo de control que no agregue demasiado overhead.
- ◆ Conversor DC/DC con eficiencia adecuada.

I. Reducción de consumo digital

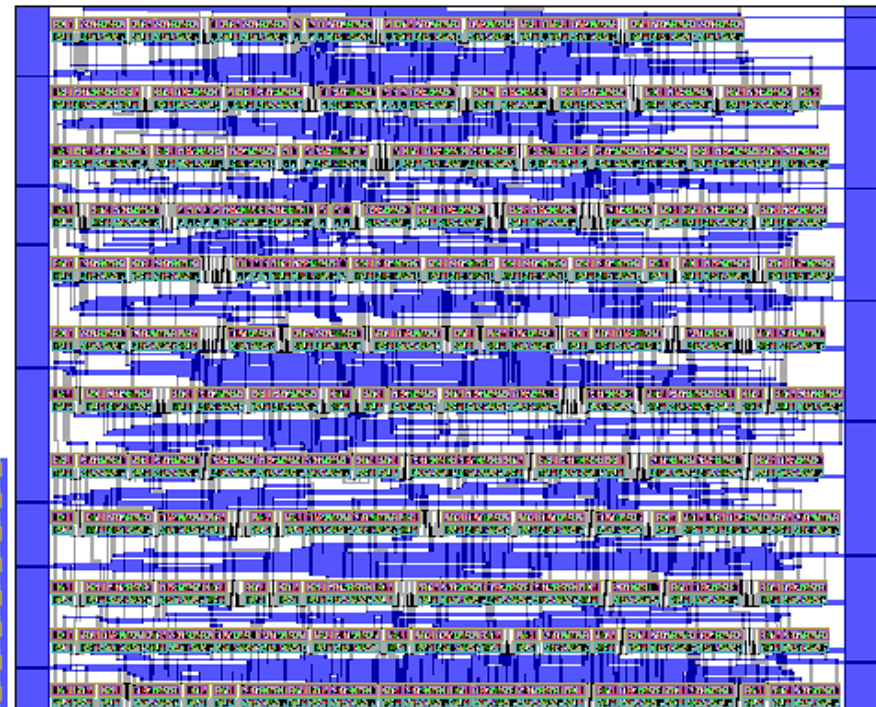
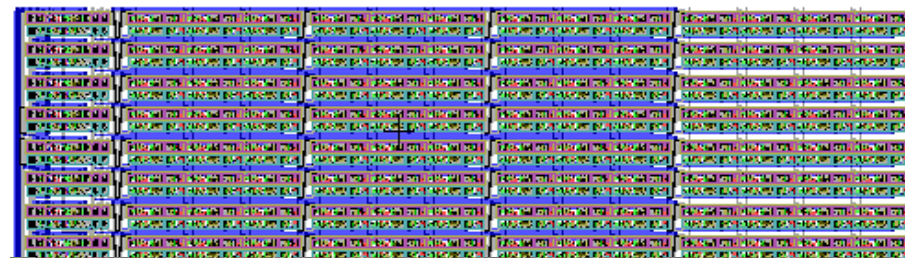
Reducción C_L

- ◆ Técnicas de Layout
- ◆ Ejemplo Layout Automático vs. Manual en Stack Microprocesador (Castro, Merello, Sayas):

Place and Route Automático

Semi – full custom

Reducción a un 40%



I. Reducción de consumo digital

Reducción de leakage

- ◆ En circuitos “deep submicron”:
- ◆ Multi Threshold CMOS
- ◆ Variable Threshold CMOS

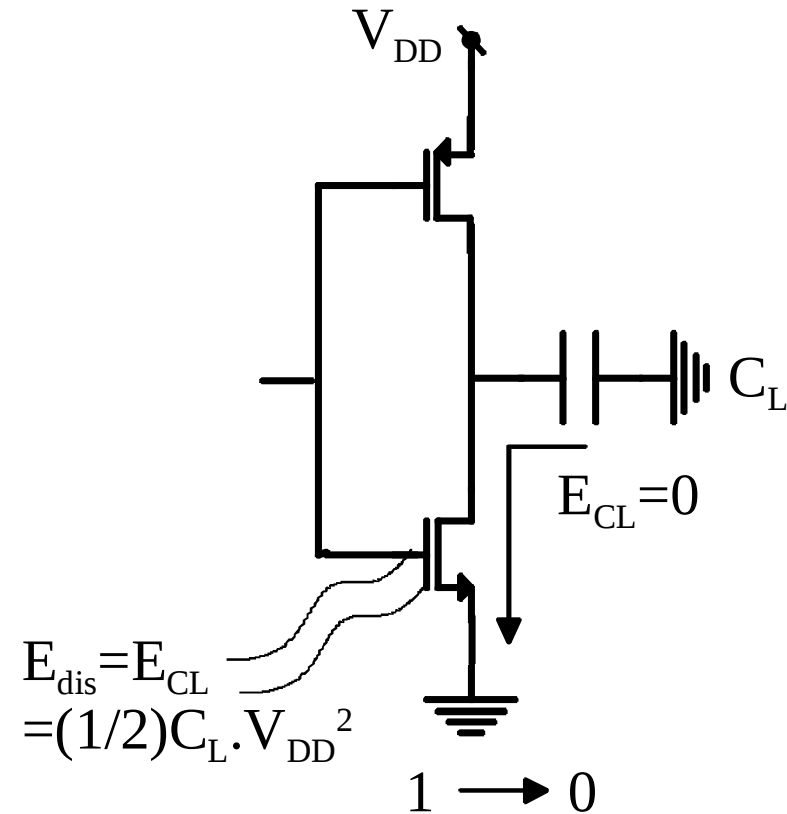
=> Transistor de bajo V_T para velocidad, combinado con transistor de alto V_T para reducir corriente subumbral.

- ◆ Tecnología (ej. Silicio sobre aislante en depleción total): mayor pendiente subumbral.

I. Reducción de consumo digital

Eliminar desperdicio: Adiabatic Switching

- ◆ Cambiar circuito Y sistema de alimentación para no perder esta energía.



Agenda

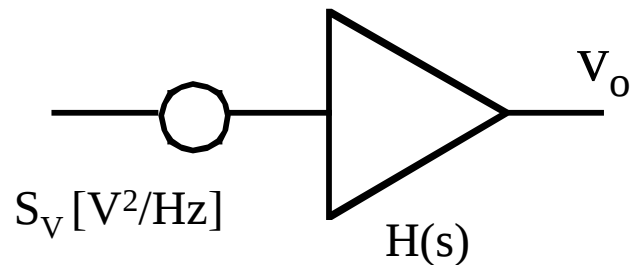
- ◆ I. Consumo circuitos digitales
 - Origen
 - Técnicas para reducción del consumo

- ◆ II. Ruido, límites teóricos y prácticos de consumo
 - Implementaciones Analógicas vs. Digitales

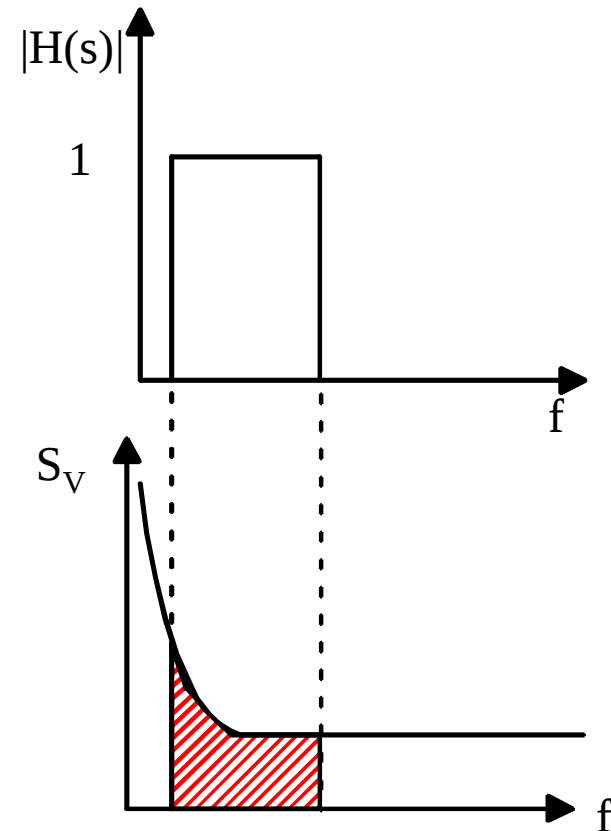
II. Ruido de los Componentes (1)

- ◆ Señales aleatorias vinculadas a comportamiento de portadores discretos de carga (electrones, huecos).
- ◆ Ruido térmico o blanco
 - debido a movimiento térmico aleatorio de portadores
 - existe en todo medio con portadores libres
 - fija límites físicos a señales que se pueden amplificar y a consumo necesario para procesamiento analógico de señales.
- ◆ Ruido 1/f o flicker o rosado
 - debido a aspectos constructivos de los dispositivos.
 - en el transistor MOS, debido a imperfecciones en la interfaz óxido / semiconductor
- ◆ Se describe por densidad espectral de potencia en V^2/Hz o A^2/Hz .

II. Ruido de los Componentes (2)

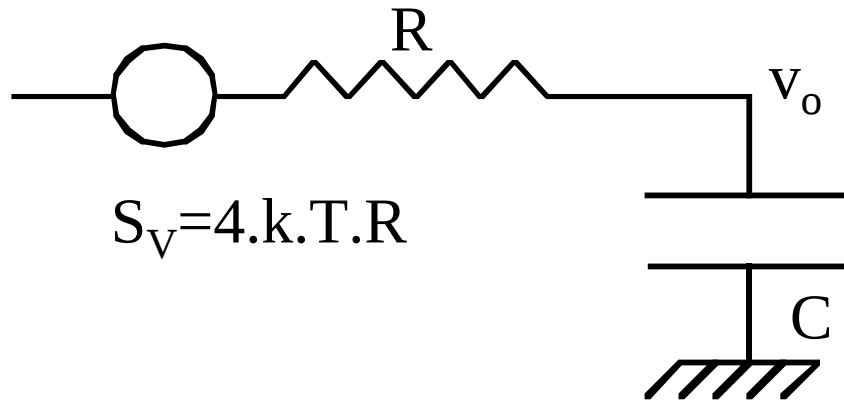


$$V_{\text{orms}} = \sqrt{\int_0^{\infty} S_V \cdot |H(j.2.\pi.f)|^2 df}$$



- ◆ Para minimizar ruido => Minimizar ancho de banda

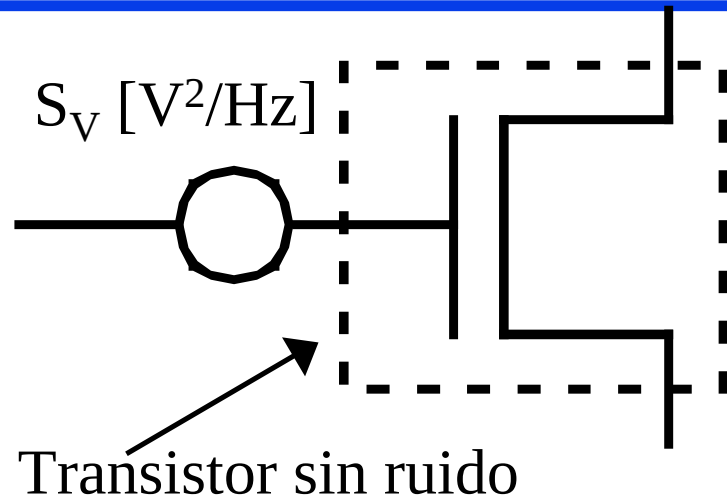
II. Caso particular: circuito RC.



$$v_{\text{orms}}^2 = \sqrt{\int_0^{\infty} S_V \cdot \left| \frac{1}{RC \cdot j \cdot 2 \cdot \pi \cdot f + 1} \right|^2 df} = \frac{kT}{C}$$

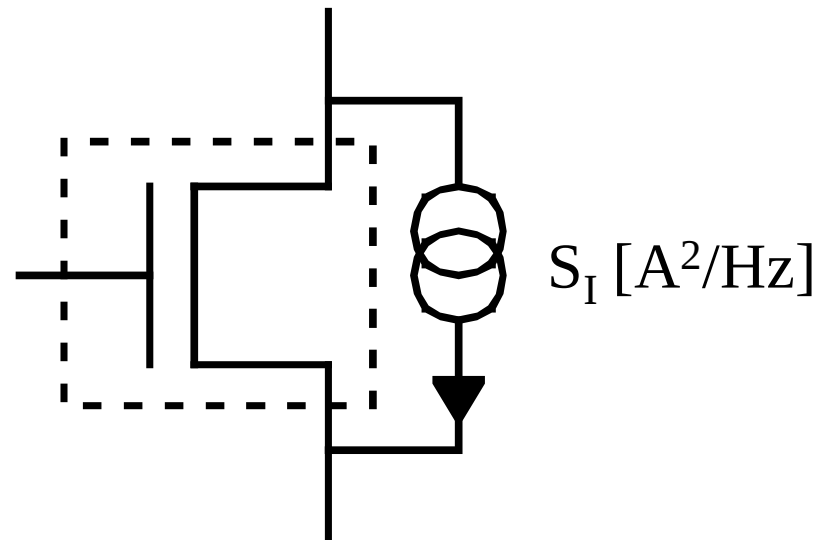
- ◆ Independiente de R !, pues si $R \uparrow \Rightarrow S_V \uparrow$ pero Ancho de banda $\downarrow$
- ◆ Fija valor mínimo de C en sistemas muestreados para cierta precisión

II. Modelo de Ruido del Transistor MOS

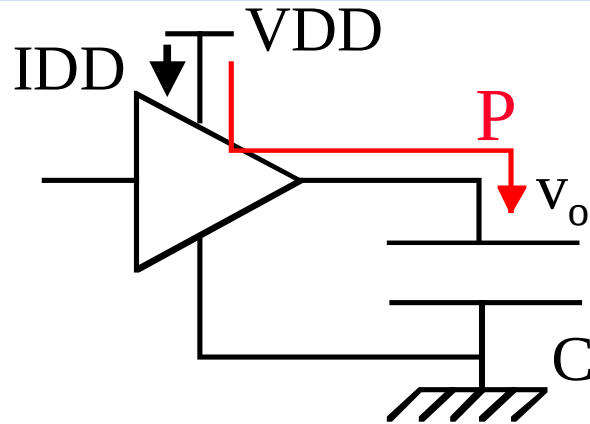


- ◆ $S_V = S_{V_{\text{blanco}}} + S_{V_{1/f}}$
- ◆ $S_{V_{\text{blanco}}} = \gamma \cdot n \cdot k \cdot T / g_m$,
 $\gamma = 2$ en W.I y $8/3$ en S.I.
- ◆ $S_{V_{1/f}} = 4 \cdot k \cdot T \cdot \rho / W \cdot L \cdot f$
 ρ depende del proceso de fabricación.

- ◆ $S_V \Rightarrow S_I$, con S_I : $S_I = g_m^2 \cdot S_V$



II. Límites teóricos de consumo (E. Vittoz)



- ◆ v_o sinusoidal con amplitud pico a pico V_{pp} .

- ◆ Potencia de la fuente: (Ec. 1)

$$P = V_{DD} \cdot I_{DD} = V_{DD} \cdot Q/T = V_{DD} \cdot V_{pp} \cdot C \cdot f$$

- ◆ Potencia de señal en v_o : (Ec. 2)

$$S = V_{pp}^2/8$$

- ◆ Potencia de ruido en v_o : (Ec. 3)

$$N = k \cdot T/C$$

- ◆ Combinando Ecs. 1, 2 y 3:

$$P = \frac{V_{DD}}{V_{pp}} f 8kT \frac{S}{N}$$

- ◆ Si el circuito tiene una ganancia A_V :

$$P = \frac{V_{DD}}{V_{pp}} f 8kT \frac{S}{N} \cdot A_V$$

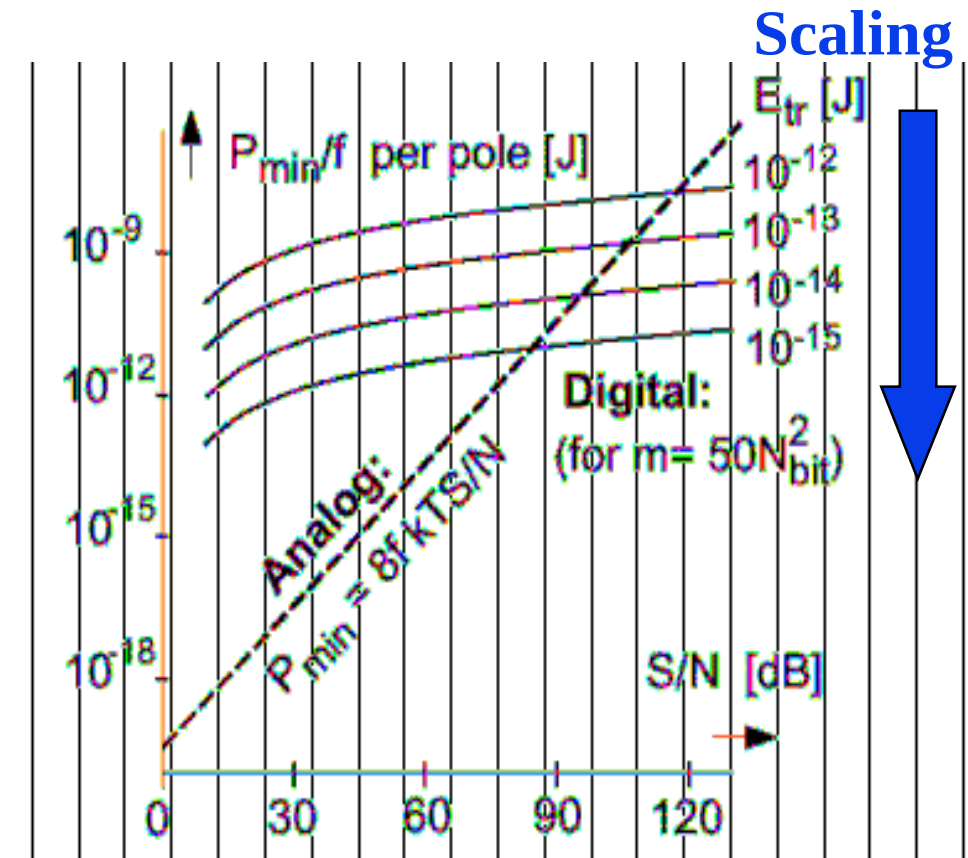
Fuente: E. Vittoz

II. Límites teóricos de consumo (E. Vittoz)

$$P = \frac{V_{DD}}{V_{pp}} f 8kT \frac{S}{N} \cdot A_v$$

- ◆ Factores:
- ◆ $V_{DD}/V_{pp} \Rightarrow$ trabajar Rail-to-Rail
- ◆ $f \Rightarrow$ compromiso velocidad consumo
- ◆ $S/N \Rightarrow$ compromiso precisión consumo
- ◆ $A_v \Rightarrow$ compromiso ganancia consumo

II. Límites consumo: Digital vs. Analógico



Fuente: E. Vittoz

- ◆ Límites **teóricos** de consumo para procesamiento **Analógico y Digital**
- ◆ Analógico es mejor para relaciones S/N bajas, pero la frontera se está moviendo ...
- ◆ Implementaciones reales aún dos o tres órdenes de magnitud por arriba ...

II. Límites prácticos (1)



II. Límites prácticos (2)

- ◆ Eficiencia amplificadores
- ◆ Trabajar con amplitud menor a V_{DD}
- ◆ Capacidades parásitas:
 - ◆ Según posición agregan consumo y no reducen ruido
 - ◆ Necesidad de capacitor de compensación
- ◆ Bajo g_m/I_D de los transistores MOS
- ◆ Necesidad de precisión (matching) => mayor tamaño y mayores capacidades parásitas
- ◆ Fuentes de ruido adicionales:
 - ◆ $1/f$
 - ◆ Inyección de carga
 - ◆ Interferencia

II. Límites prácticos (3)

- ◆ Bibliotecas de celdas no pensadas para bajo consumo
- ◆ Decisiones erróneas a nivel arquitectura
- ◆ Trabajar con requerimientos innecesarios (de por ej. S/N).
- ◆ Corrientes muy bajas descartadas por falta de datos, modelo o desconocimiento
 - E. Vittoz: “barrera sicológica en el nivel de μA ”.
- ◆ ... Varios otros y ... Nuestra inventiva y osadía ...

II. Acercándose a los límites

- ◆ IEEE Journal of Solid-State Circuits, Agosto 2003,
B. Linares-Barranco, T. Serrano-Gotarredona, “On the design
and characterization of femtoampere current-mode circuits”
- ◆ Ej. Filtro pasabajos de primer orden con $C = 100\text{fF}$ e $I_{\text{bias}} = 3.5\text{ fA}$!!

II. Orígenes del consumo en circuitos analógicos

Nivel Alto	Nivel Medio	Nivel Bajo
Velocidad (Tiempo de Settling Total)	Settling Lineal (f_T , PM)	g_m , I_D , (W/L), C_m
	Slew Rate	I_D , C_m , C_L
SNR, Ruido	Rangos de Tensión	I_D , (W/L)
	Ruido Térmico	g_m , C_m
	Ruido 1/f	g_m , W, L
Precisión Estática	Ganancia DC	g_m , I_D , L
	Voltaje de Offset	g_m , I_D

Conclusiones

- ◆ Circuitos digitales: el consumo estático esta pasando a ser parte importante del consumo total, cerca del 50% en tecnologías de 45nm.
- ◆ Los límites teóricos al consumo son una referencia y guía interesante.
- ◆ Las mejoras al consumo pasan por hacer una “disección” de las causas y actuar sobre ellas.