

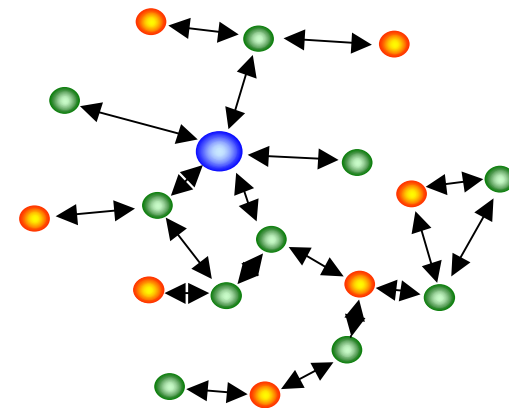
Diseño de Ultra Bajo Consumo

II. Metodología de diseño de circuitos integrados analógicos MOS y operación bloques básicos.

Fernando Silveira

Instituto de Ingeniería Eléctrica, Universidad de la
República, Uruguay

CCC del Uruguay S.A.



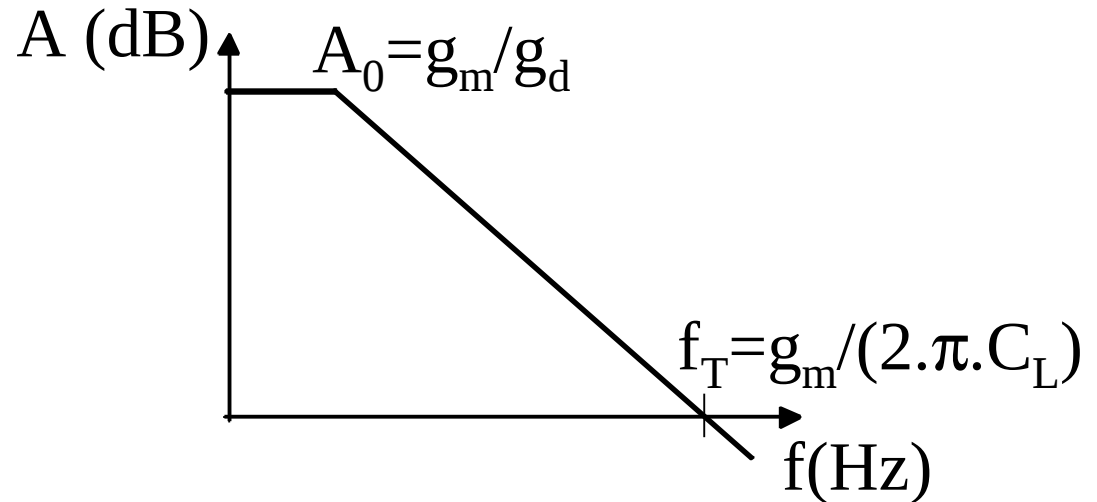
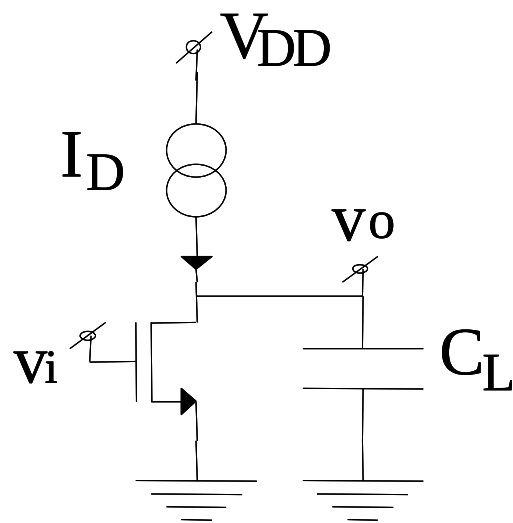
Organización de las Presentaciones

- ◆ I. Modelado del transistor MOS para diseño de bajo consumo.
- ◆ **II. Metodología de diseño de circuitos integrados analógicos MOS y operación bloques básicos.**
- ◆ III. Orígenes del consumo en circuitos digitales y analógicos: límites teóricos y optimización.
- ◆ IV. Técnicas de reducción de consumo a nivel circuito y sistema. Ejemplos de circuitos. Tendencias.

Agenda

- ◆ I. Metodología de diseño g_m/I_D
- ◆ II. Bloques básicos
 - Apareo (Matching)
 - Espejo de Corriente
 - Par Diferencial
 - Etapa Gate Común / Etapa Cascode
 - Seguidor de Fuente
 - Llave Analógica
 - Espejo de Corriente Dinámico
 - Referencia de Corriente

I. Amplificador MOS intrínseco



OTA: Operational Transconductance Amplifier

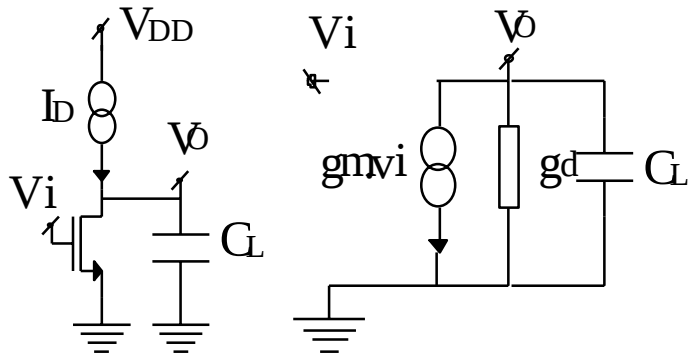
$$A_0 = g_m \cdot r_o = \frac{g_m}{g_d} = \frac{g_m}{I_D} \cdot V_A$$

$$f_T = \frac{g_m}{2\pi C_L}, \quad A = \frac{A_0}{1 + \frac{s \cdot A_0}{2\pi f_T}}$$

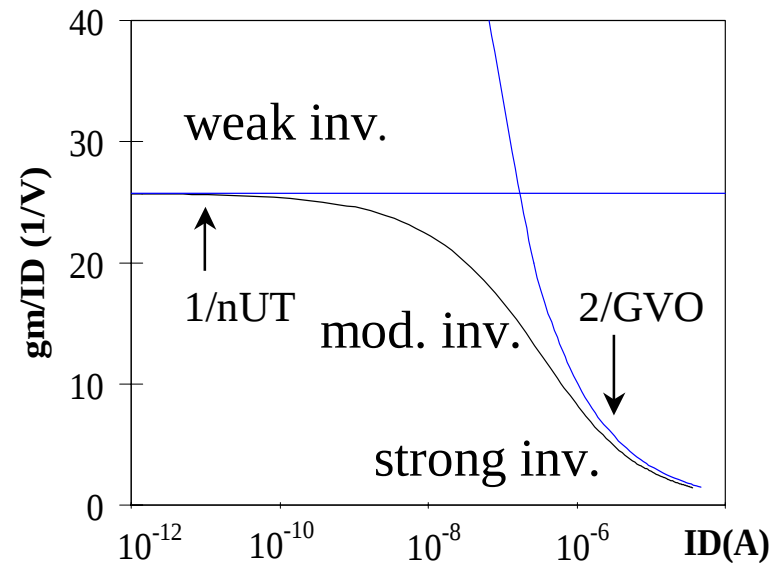
- ◆ Consumo: I_D
- ◆ Compromiso velocidad consumo: g_m/I_D
- ◆ Resultados similares en amplificadores más complejos

I. Metodología de diseño:

g_m/I_D variable clave [Silveira, Flandre, Jespers, IEEE JSSC 1996]



$$A_0 = \frac{g_m}{I_D} V_A \quad f_T = \frac{1}{2\pi} \frac{g_m}{C_L} = \frac{1}{2\pi C_L} \frac{g_m}{I_D} I_D$$



Desempeño de los circ

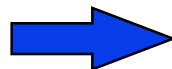
$$\frac{g_m}{I_D}$$

Modo de operación del trans.

Dimensionado del transistor

$$\left(\frac{g_m}{I_D} \right) = f(I_{norm}) \quad I_{norm} = \frac{I_D}{(W/L)}$$

$$I_D = \mu C_{ox} (W/L) \cdot f(V_G, V_S, V_D)$$

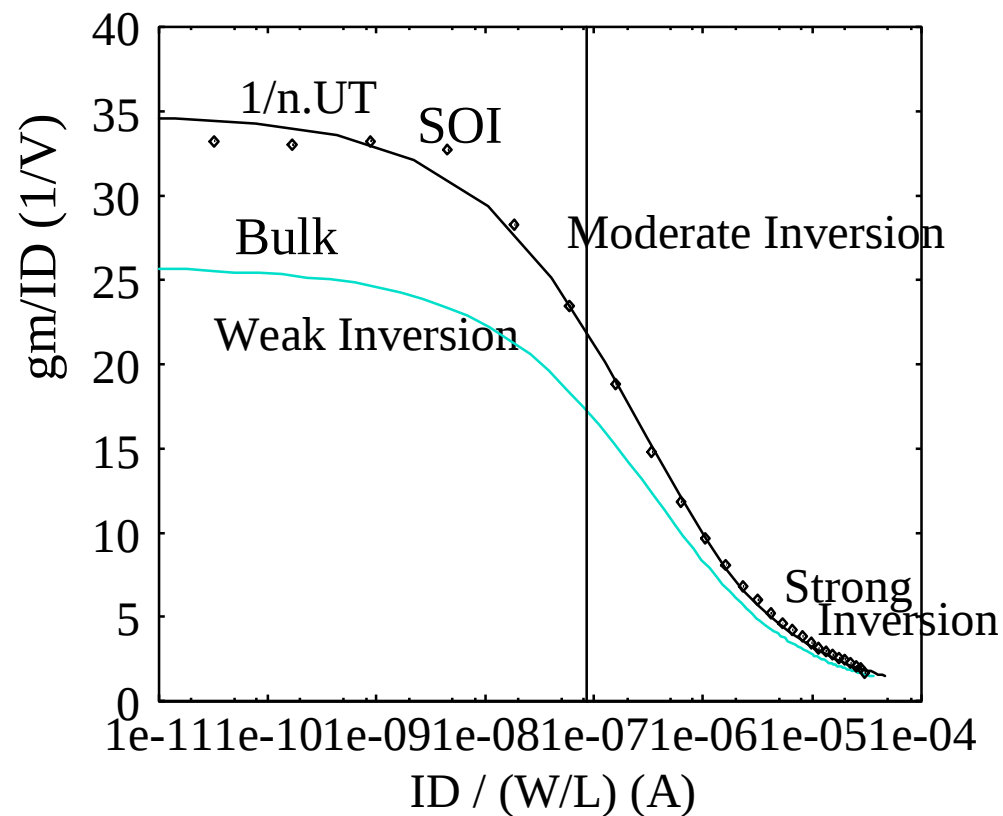


$$I_{norm} = \frac{I_D}{\mu C_{ox} (W/L)}$$

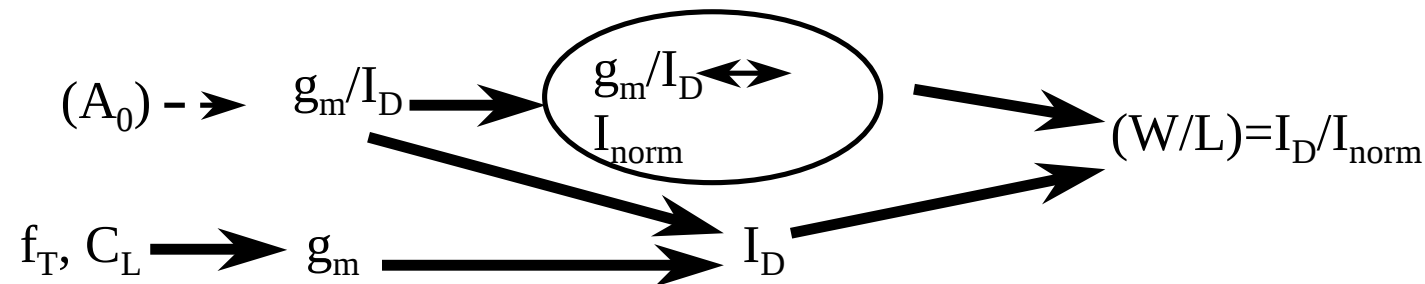
I. Metodología g_m/I_D :

Herramienta g_m/I_D vs. I_{norm} ($I_D/(W/L)$, I_D/β o i_f)

- ◆ Curva válida para todos los transistores de una misma tecnología
- ◆ Obtenible de medidas o de un modelo.



I. Metodología g_m/I_D : Implementación básica



- ◆ g_m/I_D y L elegidos en función del rango de frecuencia y ganancia A_0 deseada.
- ◆ Se puede implementar en programas como Matlab, realizando fácilmente una exploración del espacio de diseño.
- ◆ Las capacidades parásitas dependen de W , L , por lo que se puede iterar para tenerlas en cuenta.

I. Metodología g_m/I_D :

Ejemplo básico (1)

- ◆ Requerimientos: $f_T = 10\text{MHz}$, $C_L = 3\text{pF}$, Tecnología: $0.8\mu\text{m}$
- ◆ (1) $\Rightarrow g_m = 2 \cdot \pi \cdot f_T \cdot C_L = 0.19\text{mS}$
- ◆ (2) Elijo $L = 2\mu\text{m}$, $g_m/I_D = 15 \Rightarrow A_0 = V_A(L) \cdot g_m/I_D = 51.5\text{dB}$.
- ◆ (3) De g_m y $g_m/I_D \Rightarrow I_D = g_m / (g_m/I_D) = 12.6 \mu\text{A}$

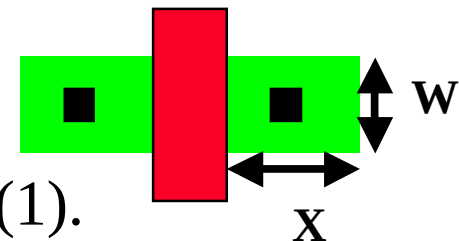
◆ (4) De $\frac{g_m}{I_D} = \frac{1}{nU_T} \frac{2}{\sqrt{1+i_f} + 1}$ o curvas $\Rightarrow i_f = 4.3$

◆ (5) De i_f e $I_D \Rightarrow (W/L) = I_D / (i_f / ((1/2) \cdot n \cdot \mu \cdot C_{ox} \cdot (U_T)^2)) = 55.4$

◆ (6) $L = 2\mu\text{m} \Rightarrow W = 111\mu\text{m}$

$\Rightarrow C_{jd} = C_j \cdot (W \cdot X) + C_{jsw} \cdot (W + 2 \cdot X) = 0.13\text{pF}$

$\Rightarrow C_L = 3\text{pF} + 0.13\text{pF} \Rightarrow \text{Iterar desde punto (1)}.$



I. Metodología g_m/I_D :

Ejemplo básico (2)

◆ **CASO 1:** Con $L = 2\mu\text{m}$, $g_m/I_D = 15 \Rightarrow A_0 = 51.5 \text{ dB}$, $I_D = 12.6\mu\text{A}$,
 $W = 111\mu\text{m}$, $C_{jd} = 0.13 \text{ pF}$

◆ **CASO 2:** Si elegimos $L = 2\mu\text{m}$, $g_m/I_D = 24 \Rightarrow A_0 = 55.6\text{dB}$.

◆ pero luego de iterar:

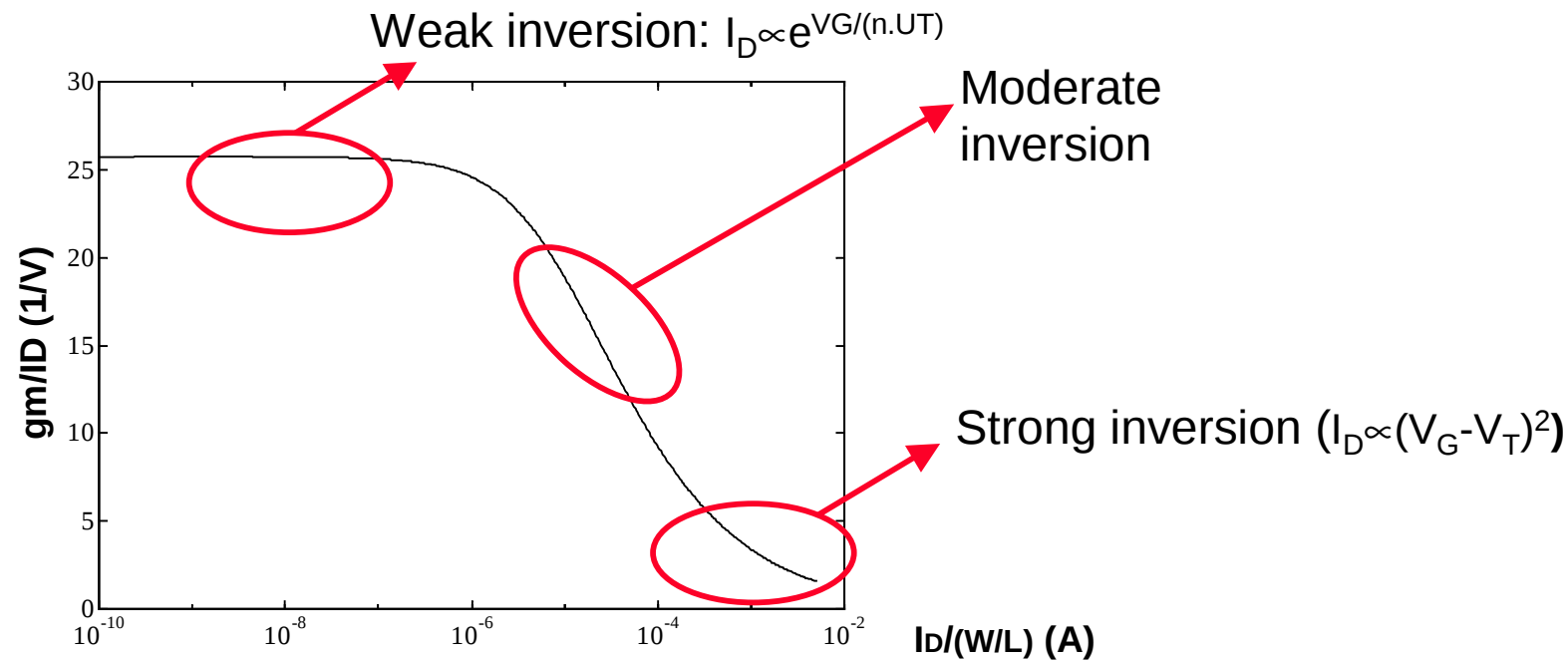
$I_D = 30.4 \mu\text{A}$, $W/L = 3715$, $W = 7430 \mu\text{m}$, $C_{jd} = 8.62 \text{ pF}$, $C_{ltot} = 11.62 \text{ pF} \Rightarrow I_D$ **aumentó en lugar de disminuir pues W/L y entonces C_{jd} aumentaron mucho.**

◆ **CASO 3:** Si elegimos $L = 2\mu\text{m}$, $g_m/I_D = 21 \Rightarrow A_0 = 54.4\text{dB}$.

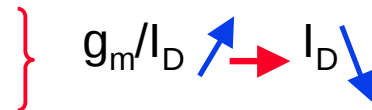
◆ luego de iterar:

$I_D = 10.6 \mu\text{A}$, $W/L = 230$, $W = 460 \mu\text{m}$, $C_{jd} = 0.54 \text{ pF}$, $C_{ltot} = 3.54\text{pF}$

I. Metodología g_m/I_D : Optimo de Consumo

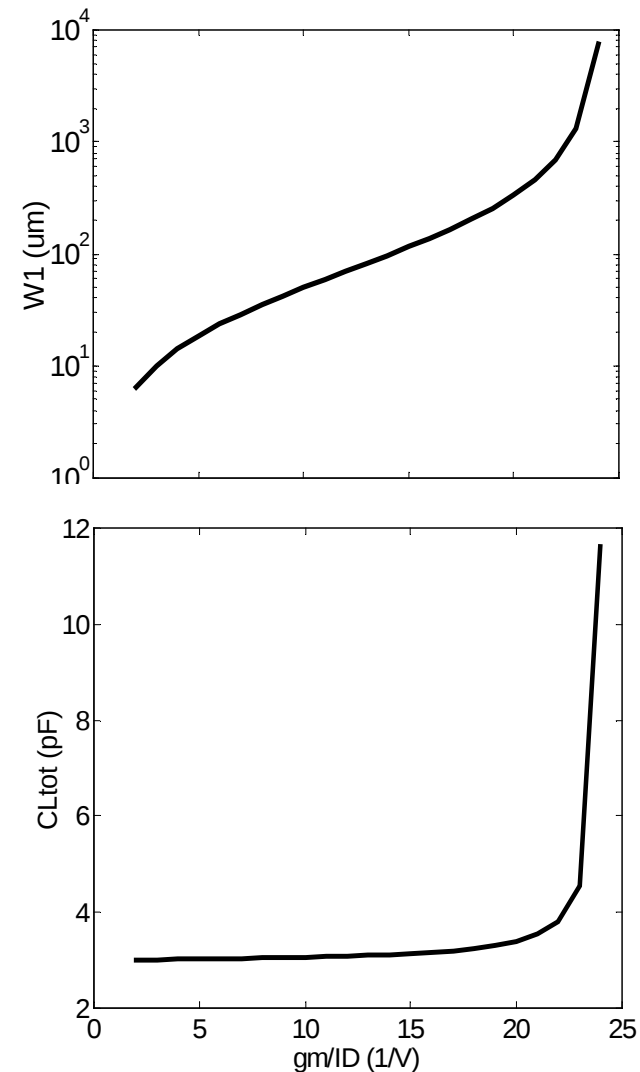
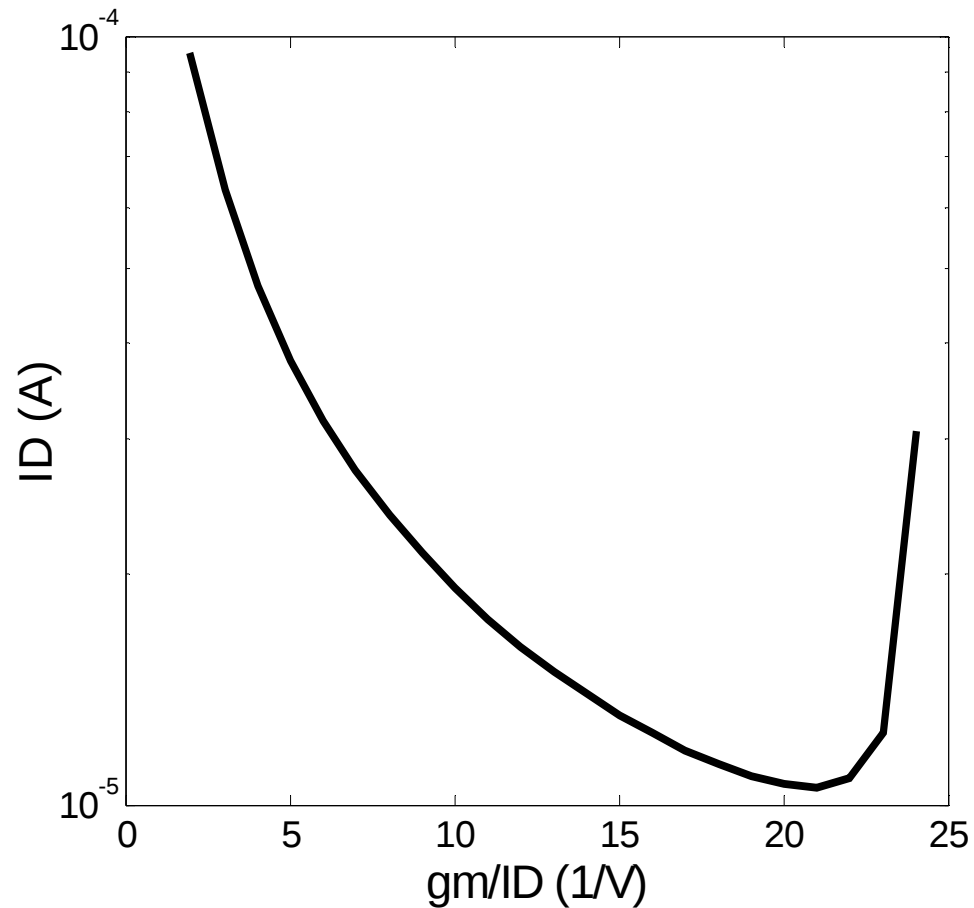


- Trabajando hacia WI

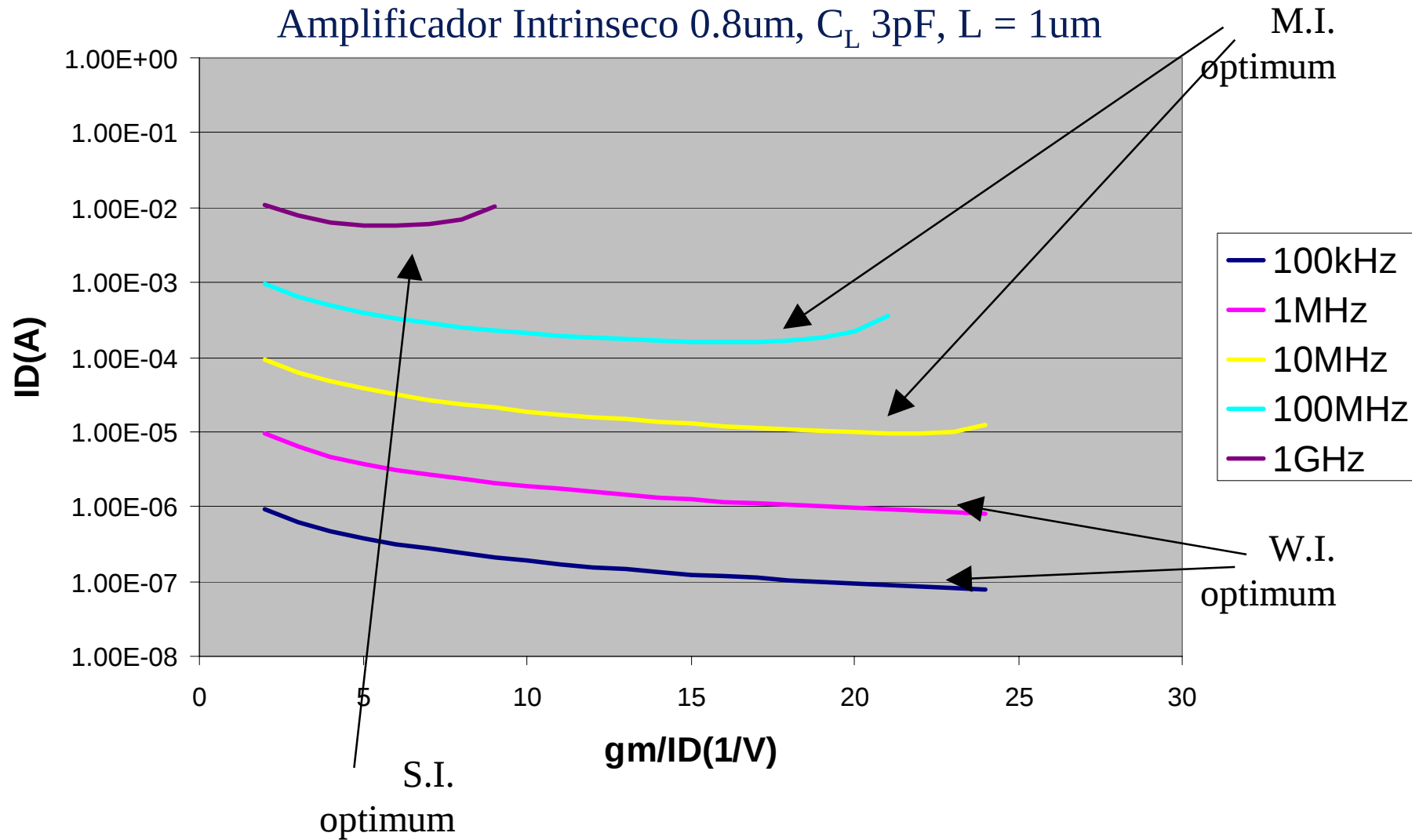


Existe un óptimo, usualmente en inversión moderada

I. Metodología g_m/I_D : Exploración del Espacio de Diseño (1)

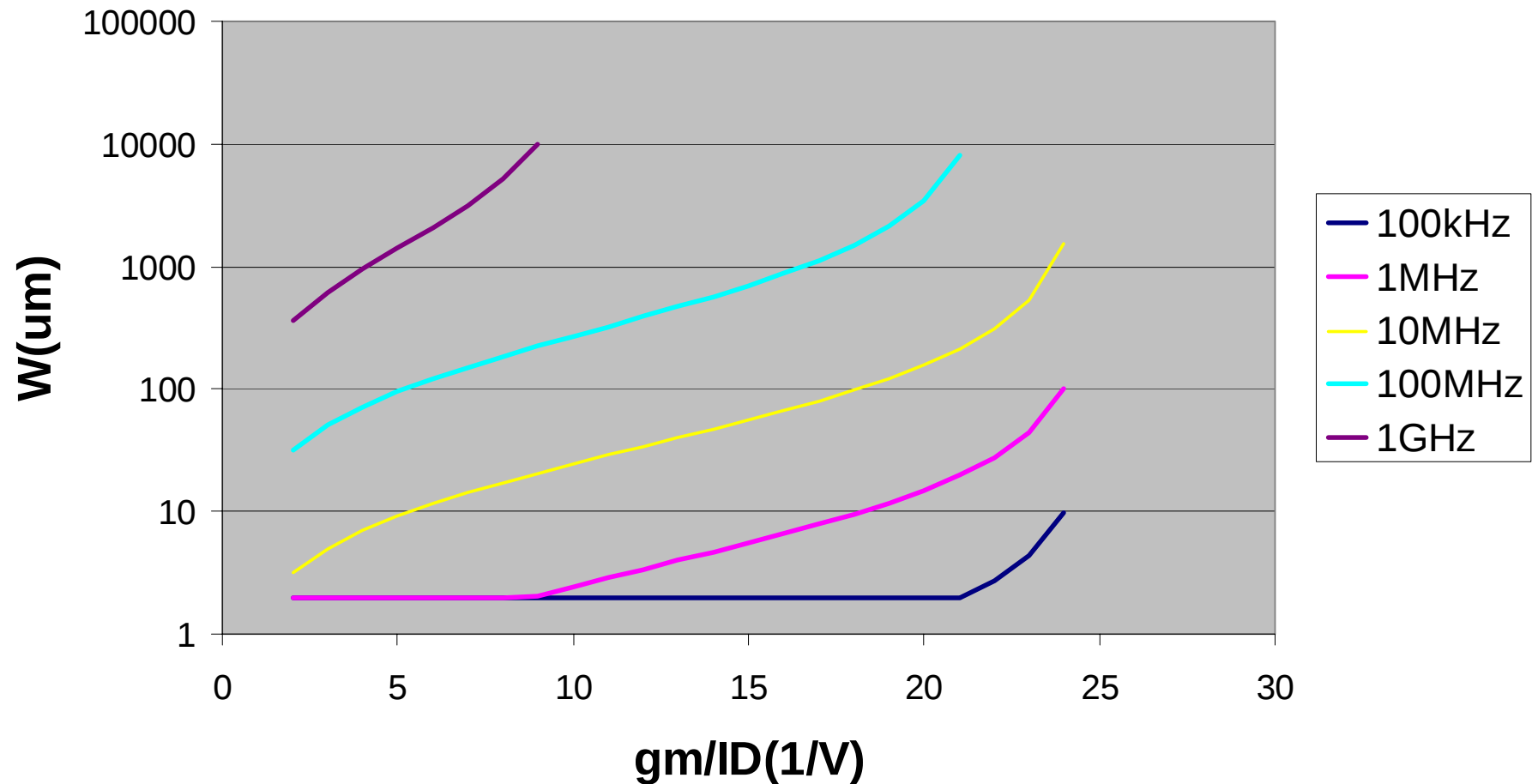


I. Metodología g_m/I_D : Exploración del Espacio de Diseño (2)



I. Metodología g_m/I_D : Exploración del Espacio de Diseño (3)

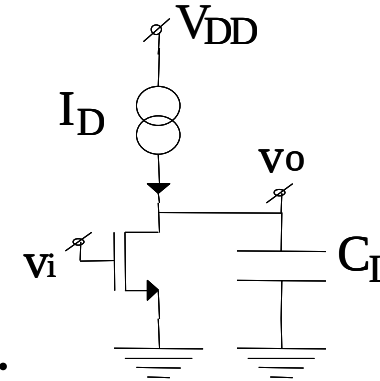
Amplificador Intrínseco 0.8 μ m, C_L 3pF, $L = 1\mu$ m



I. Metodología g_m/I_D : Comentarios

- ◆ **Hasta ahora:**

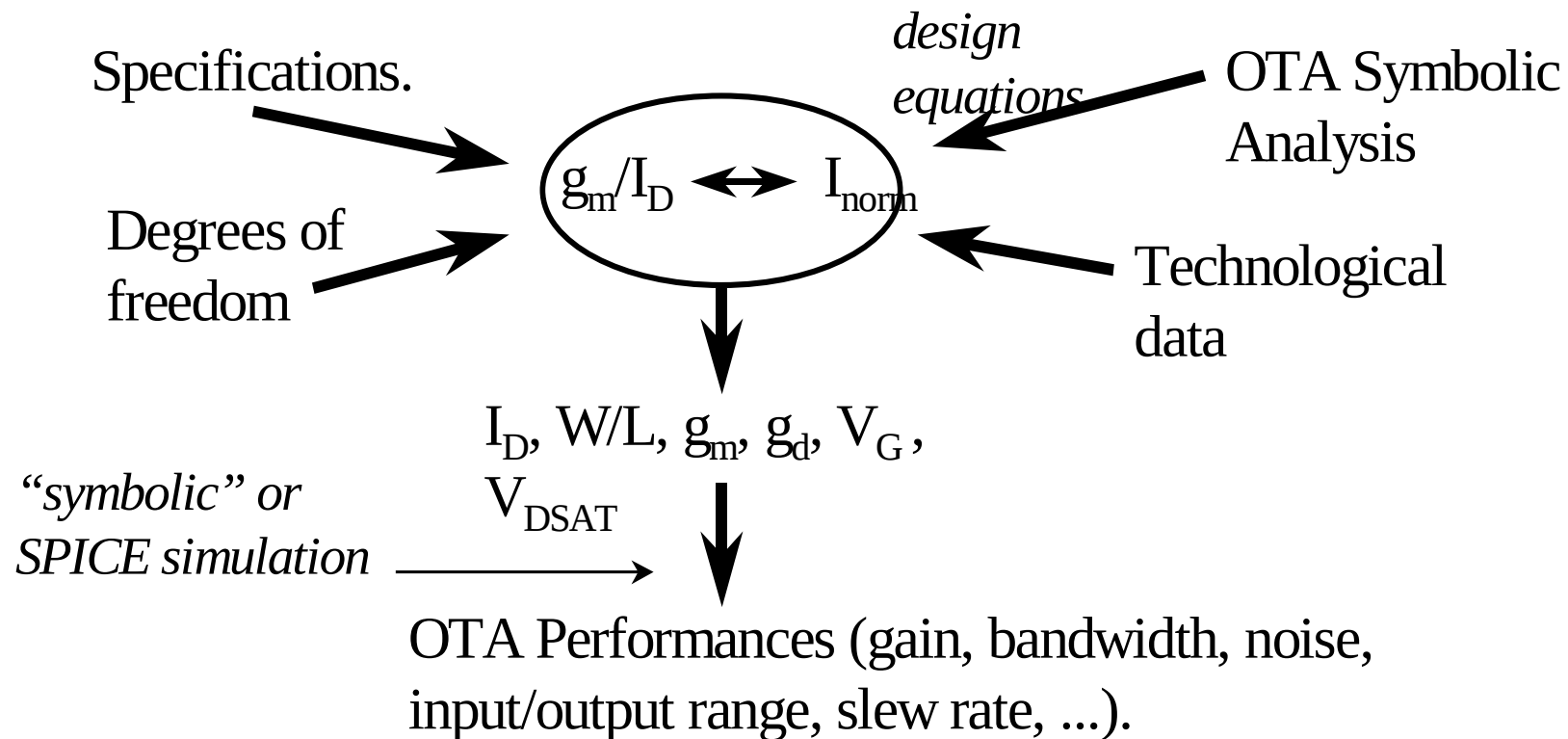
- ◆ Amplificador intrínseco
con fuente de corriente ideal
- ◆ f_T y A_0 únicos aspectos considerados.



- ◆ **En general:**

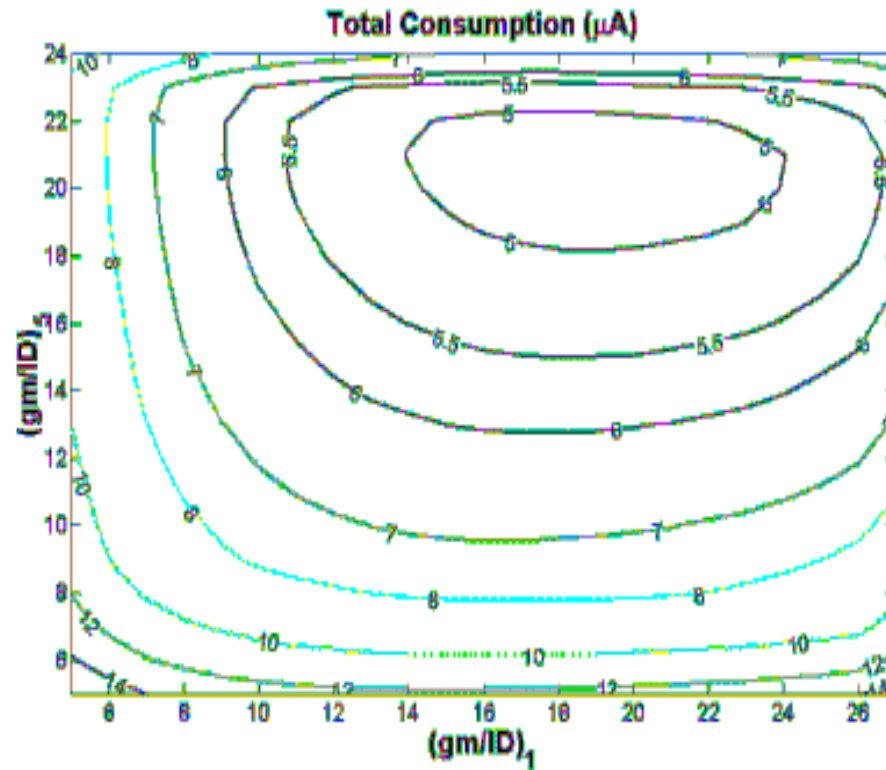
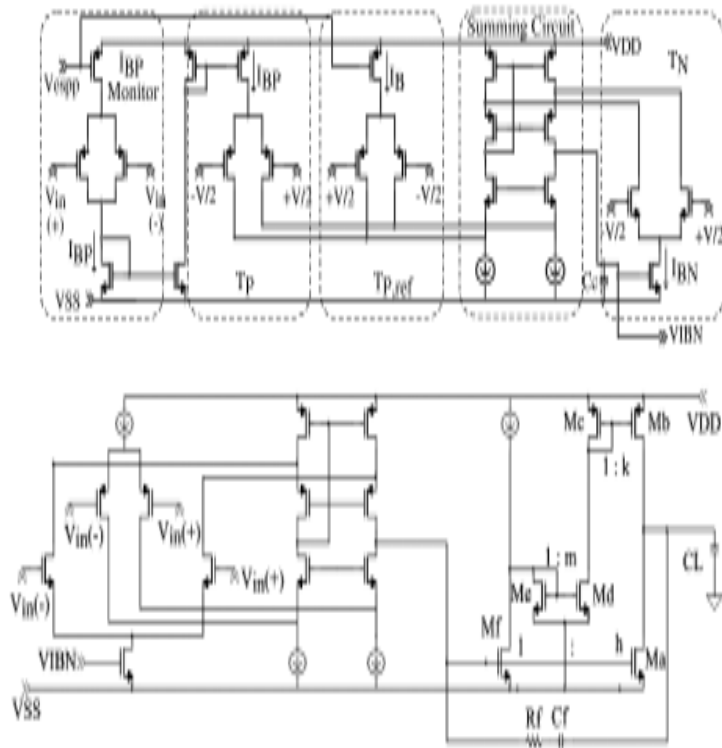
- ◆ Otros aspectos a considerar: Excursión, ruido, slew rate,
- ◆ Fuente de corriente real => Capacidad en nodo de salida por transistor de la fuente de corriente.
- ◆ Amplificadores operacionales completos (=> otros aspectos a incluir: offset, CMRR, PSRR, ICMR,)

I. Metodología g_m/I_D : Metodología General



I. Metodología g_m/I_D :

Amplificador rail-to-rail con salida clase AB

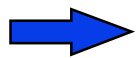


Aguirre, Silveira,
SBCCI2003

I. Metodología g_m/I_D :

Ventajas

- ◆ **Top-down:** De specs y ecuaciones de diseño a las verdaderas incógnitas.
- ◆ **Global y Rápida:** El espacio de diseño completo y desempeño rápidamente explorados.
- ◆ **Sistemática:** se puede extender a cualquier OTA.
- ◆ **Pocos parámetros tecnológicos :** $n, \mu, C_{ox}, C_j, V_A, V_T, K_f$
 - » Fácil comparación de tecnologías y análisis de sensibilidad a parámetros.
- ◆ **Pocas ecuaciones del modelo MOS o tablas experimentales.**
- ◆ **Eficiente:** Genera diseños optimizados y válidos “de entrada”.



*Adecuada para automatización de
diseño*

Agenda

- ◆ I. Metodología de diseño g_m/I_D
- ◆ II. Bloques básicos
 - Apareo (Matching)
 - Espejo de Corriente
 - Par Diferencial
 - Etapa Gate Común / Etapa Cascode
 - Seguidor de Fuente
 - Llave Analógica
 - Espejo de Corriente Dinámico
 - Referencia de Corriente

II. Apareo (Matching) (1)

El desapareo de transistores teóricamente iguales T1, T2 está caracterizado por:

$$\delta V_T = V_{T01} - V_{T02} \quad \text{con} \quad \sigma_T = \sigma(\delta V_T) = 1 \text{ .. } 20 \text{ mV}$$

$$\delta\beta/\beta = (\beta_1 - \beta_2)/\beta \quad \text{con} \quad \sigma_\beta = \sigma(\delta\beta/\beta) = 0.2 \text{ to } 20 \%$$

σ_T y σ_β dependen de: ♦ proceso

♦ layout

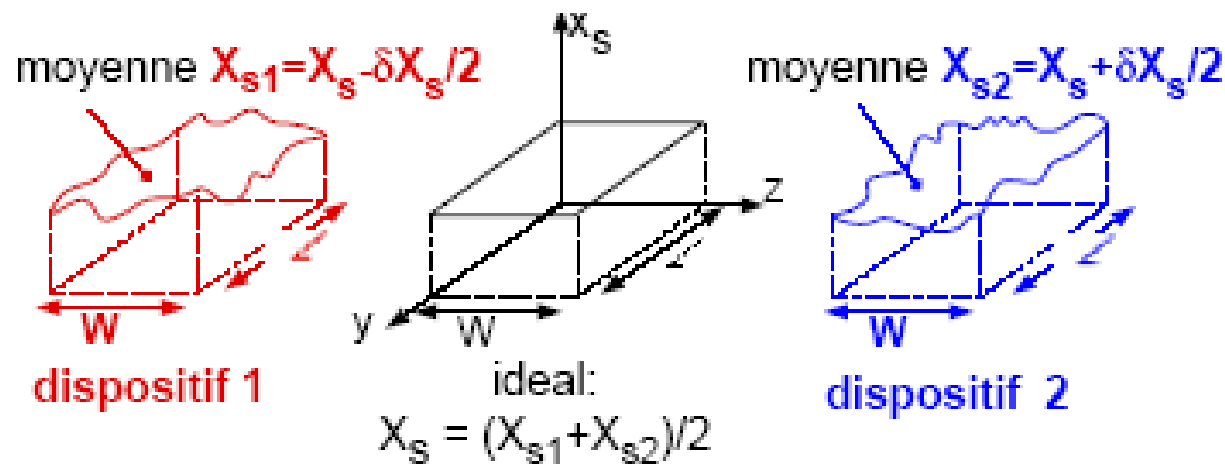
♦ dimensiones del gate (σ_T y σ_β disminuyen al aumentar el área de gate ($W*L$))

II. Apareo (Matching) (2)

σ_T y σ_β disminuyen al aumentar el área de gate ($W \cdot L$)

Transistores más grandes se aparean mejor.

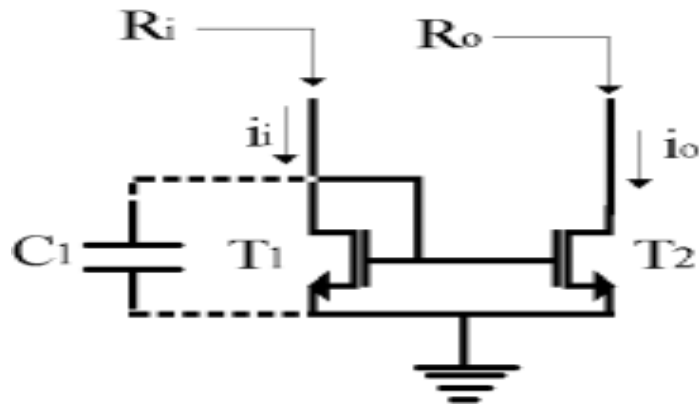
Modelo de Pelgrom



De curso Prof. Eric Vittoz, EPFL, Laussane

$$\sigma(\delta X_s) \sim \frac{1}{\sqrt{WL}}$$

II. Espejo de Corriente (1)



$$\blacklozenge \quad i_o/i_i = (W/L)_2/(W/L)_1$$

$\rightarrow$ apareo

$$\frac{\delta I_D}{I_D} = \frac{\delta \beta}{\beta} - \frac{g_m}{I_D} \delta V_T \Rightarrow (\sigma_\beta \text{ y } \sigma_T \text{ no correlacionados})$$

$$\sigma \left(\frac{\delta I_D}{I_D} \right) = \sqrt{\sigma_\beta^2 + \left(\frac{g_m}{I_D} \sigma_T \right)^2}$$



En principio mejor en inversión fuerte (SI) (g_m/I_D mínimo), pero en SI el área de gate disminuye (para una corriente constante)
 $\Rightarrow \sigma_\beta$ y σ_T aumentan $\Rightarrow$ el óptimo está en inversión moderada (dependiendo del proceso).

$$\blacklozenge \quad R_o = 1/g_{d2} = V_{A2}/I_{D2} \text{ (medio)}$$

$$\blacklozenge \quad R_i = 1/g_{m1}$$

II. Espejo de corriente (2)

- ◆ Minimo voltaje de salida:

$$V_{DSSAT} = \begin{cases} 4U_T \text{ en W.I. (0.1V)} \\ 4 \dots 6 U_T \text{ en M.I. (0.1V} \dots 0.15V) \\ (V_G - V_{T0})/n \text{ en S.I. (typ. 0.25V - 0.35V)} \end{cases}$$

- ◆ Respuesta en frecuencia: polo en $\omega = g_{m1}/C_1$

- ◆ $C_1 \cong 2 \cdot (2/3) \cdot C_{ox} \cdot W \cdot L + C_{jn} \cdot W \cdot X_{ds} + C_{jwn} \cdot 2 \cdot W$

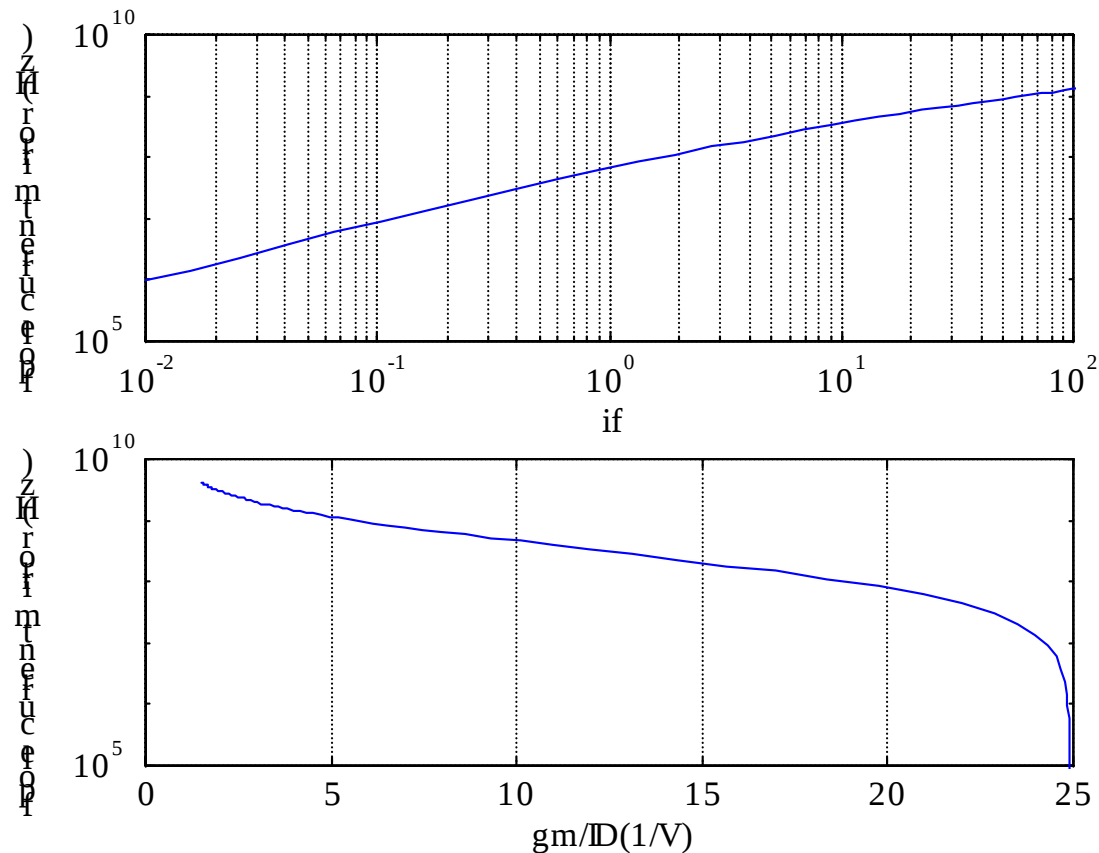


$$\omega_{pole} \cong \frac{\left(\frac{g_m}{I_D} \right)_1 \cdot \frac{I_{D1}}{\left(\frac{W}{L} \right)_1}}{2 \cdot \frac{2}{3} \cdot C_{ox} \cdot L_1^2 + C_{jn} \cdot L_1 \cdot X_{ds} + C_{jwn} \cdot 2 \cdot L_1}$$

f(gm/ID) = f(inv. level)

f(proceso) (L=Lmin para máxima frecuencia)

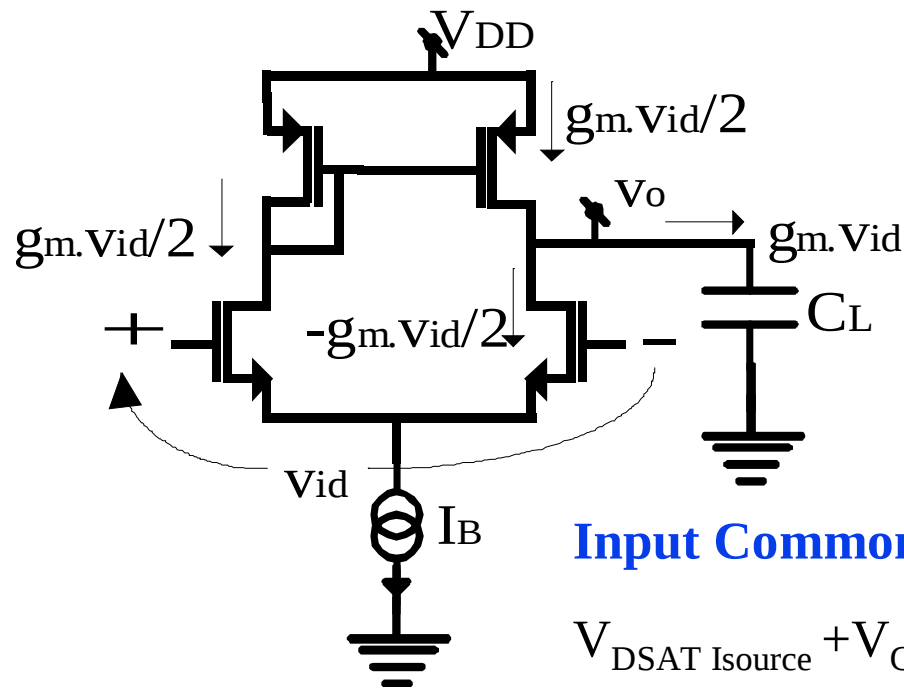
II. Espejo de corriente (3)



CMOS 0.8 μ m, modelo ACM para capacidades y g_m

Mejor caso: no considera saturación de velocidad y elementos parásitos adicionales de otros circuitos que están conectados a la entrada.

II. Amplificador Diferencial: Pequeña Señal (1)



$$R_{oeq} = r_{o2} // r_{o4}$$

$$g_{meq} = g_{m1,2} = g_m$$

$$A_{d0} = g_{meq} \cdot R_{oeq} = \frac{g_m}{I_D} \bigg|_{1,2} \frac{V_{E2} \cdot V_{E4}}{V_{E2} + V_{E4}}$$

f(inversion level)

f(L₂, L₄)

Input Common Mode Range:

$$V_{DSAT \text{ Isource}} + V_{GS1,2} < V_{icm} < V_{DD} - (V_{GS3} - V_{GS1,2}) - V_{DSAT1,2}$$

$$\text{Ex: } 1.2V < V_{icm} < V_{DD} - 0.3V$$

Output Swing:

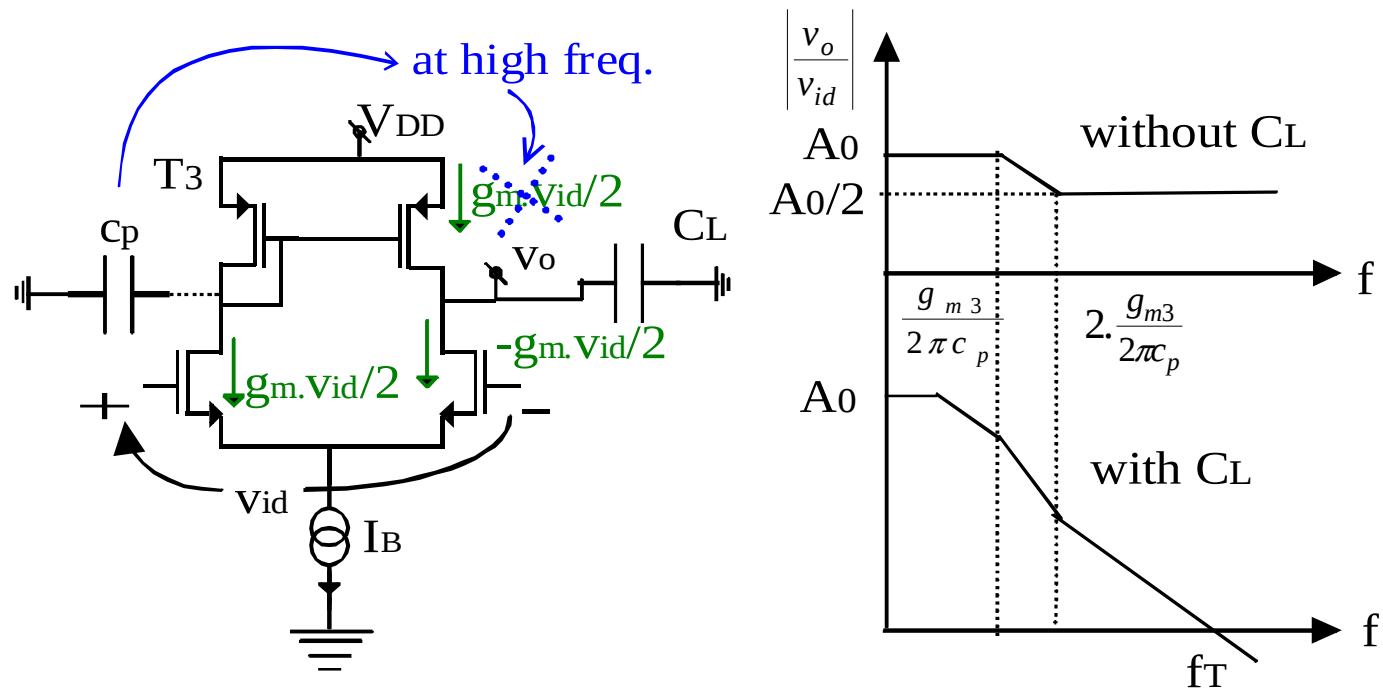
$$V_{icm} - V_{GS1,2} + V_{DSAT1,2} < V_o < V_{DD} - V_{DSAT4}$$

f(modo común del voltaje de la señal de entrada) !!

II. Amplificador Diferencial: Pequeña Señal (2)

Respuesta en frecuencia: $f_{-3dB} = 1/2 \cdot \pi \cdot R_{oeq} \cdot C_L$, $f_T = g_m / 2 \cdot \pi \cdot C_L$

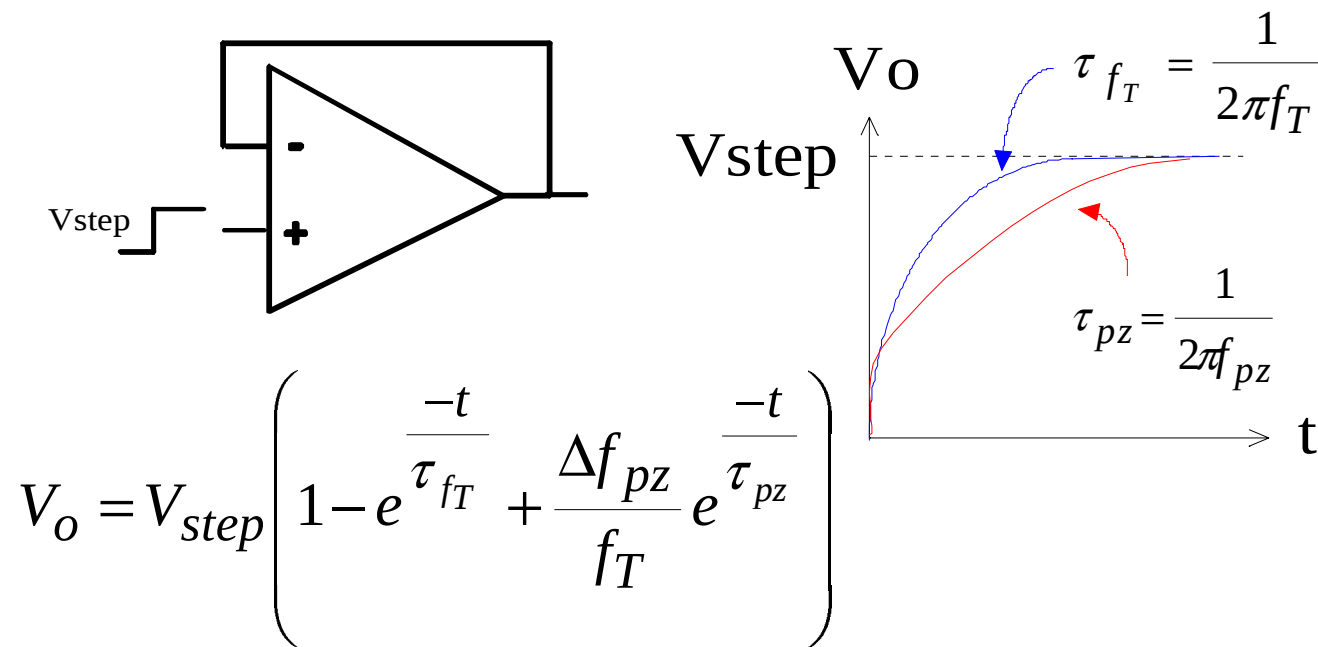
Efecto de la respuesta del espejo de corriente: “doublet” polo - cero



“pequeño” cambio en la respuesta en frecuencia, pero en el dominio del tiempo ...

II. Amplificador Diferencial: Pequeña Señal (3)

“pequeño” cambio en la respuesta en frecuencia, pero en el dominio del tiempo ...



Ref: Kamath, Meyer, Gray, 1974

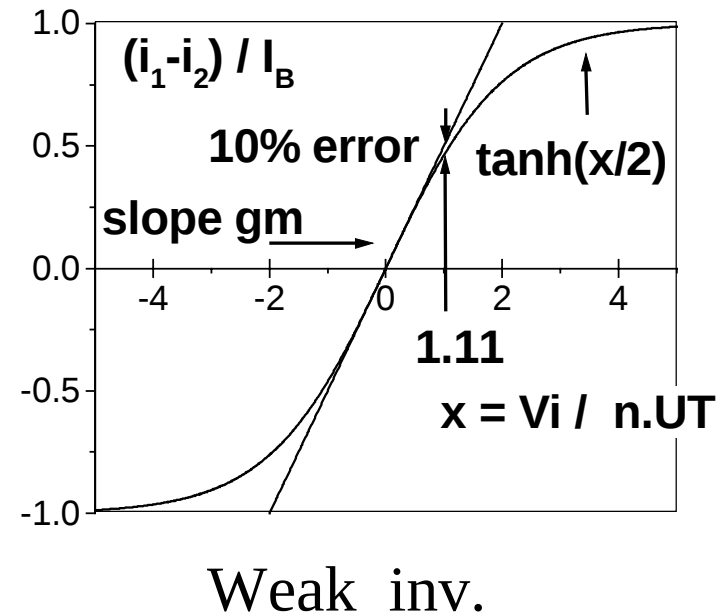
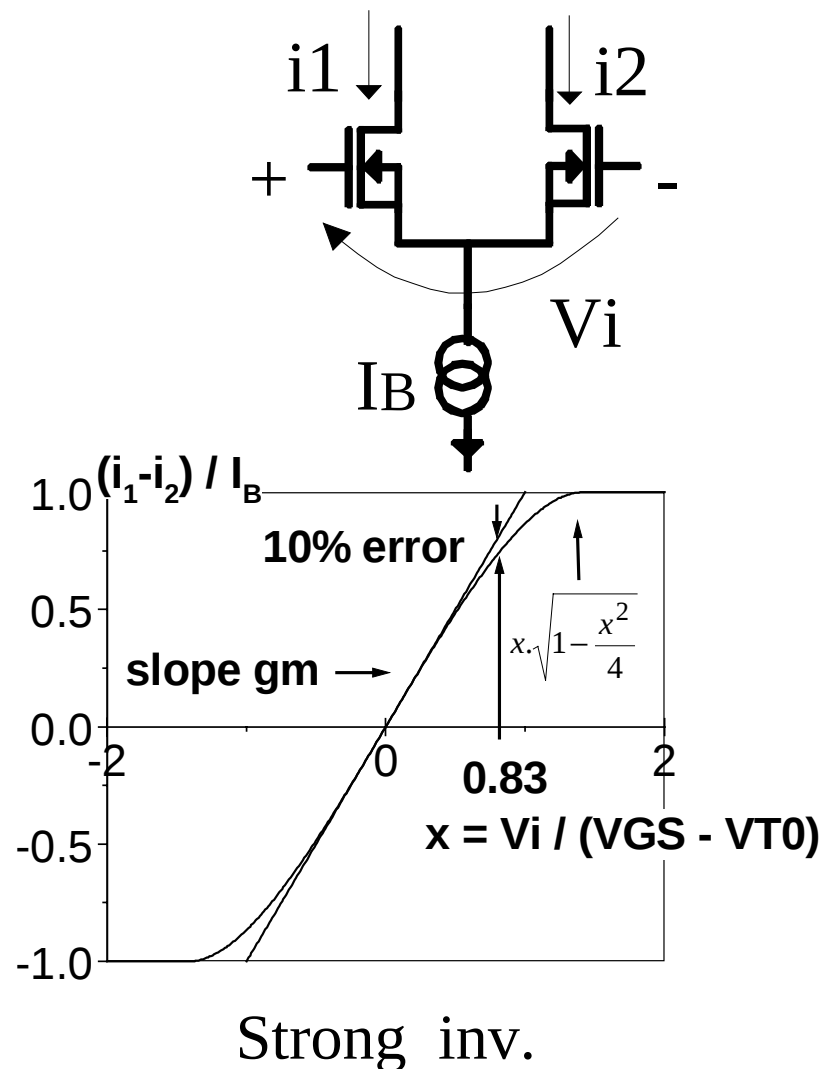
II. Amplificador Diferencial: Offset

$$\delta V_G = \delta V_T - \frac{I_D}{g_m} \frac{\delta \beta}{\beta} \Rightarrow (\sigma_\beta \text{ y } \sigma_T \text{ no correlacionados})$$

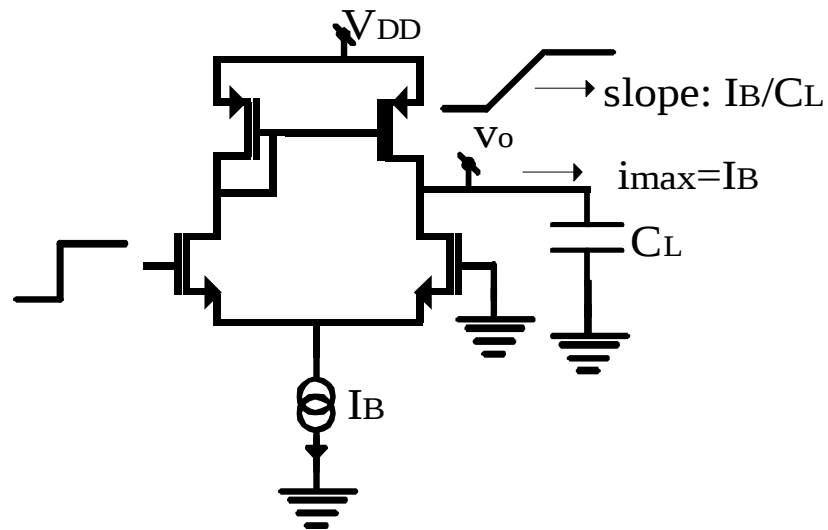
$$\sigma(\delta V_G) = \sqrt{\sigma_T^2 + \left(\frac{I_D}{g_m} \sigma_\beta \right)^2}$$

 Mejor en inversión débil

II. Par Diferencial: Gran Señal: (Función de Transferencia)



II. Par Diferencial: Gran Señal (Slew Rate)



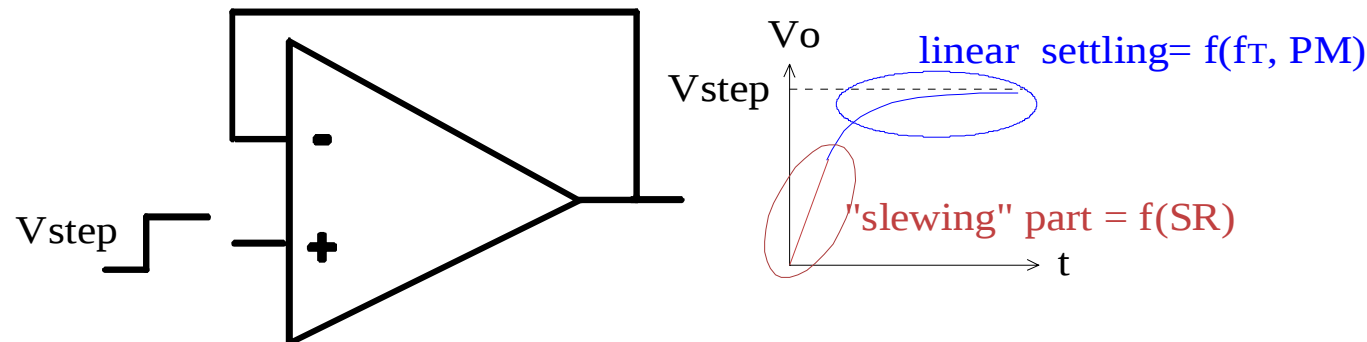
$$\text{Slew rate : } SR = \left| \frac{dV_o}{dt} \right|_{max} = \frac{I_B}{C_L}$$

◆ Max. voltaje sinusoidal de salida sin distorsión debido al SR = $SR/(2\pi f)$

◆ SR y f_T están ligados en un par diferencial:

$$2\pi f_T = \frac{g_{m1}}{C_L}, \quad SR = \frac{I_B}{C_L} = \frac{2I_{D1}}{C_L} \Rightarrow$$

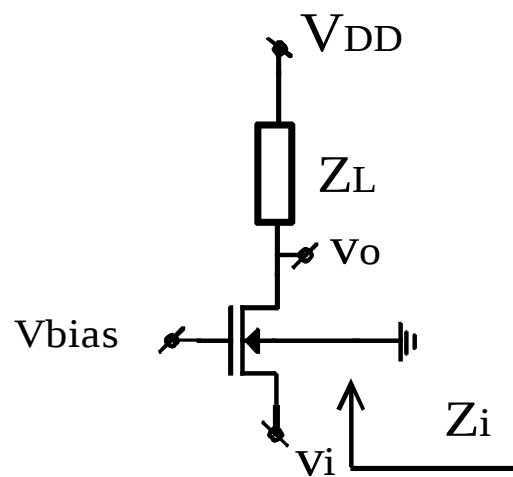
$$\frac{2\pi f_T}{SR} = \frac{1}{2} \left(\frac{g_m}{I_D} \right)_1$$



II. Algunas características vs. g_m/I_D y el Nivel del Inversión

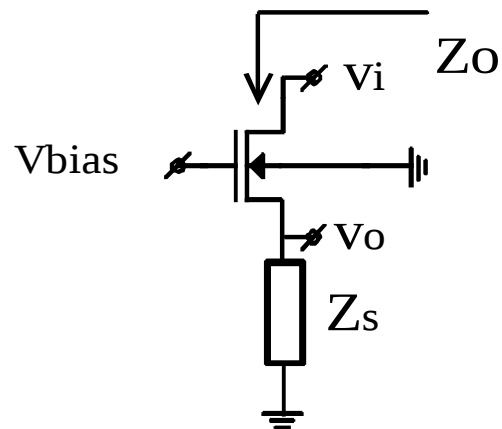
	Weak Inv.	Moderate Inv.	Strong Inv.
g_m/I_D	$1/(n.U_T)$ (typ 25)		$2/(V_G - V_{T0})$ ((8)..6...2)
Inversion coef. (if)	< 0.1	≈ 1	> 10
Power efficiency (BW / I_D)	Best		Worst
Gain	Best		Worst
Bandwidth	Worst		Best
Area (W/L for given I_D)	Worst		Best
$(V_G - V_{T0}), (V_{GS} - V_T)$	< 0 ($\approx \leq -0.1V$)	≈ 0	$\approx > 0.2V$
V_{DSSAT}	$\approx 3...4.U_T$ (0.75 ..0.1V)	$4..6 U_T$ (0.1 .. 0.15V)	$(V_G - V_{T0})/n$ (0.25 .. 0.35V)
Diff. Pair Matching	Best		Worst
Current Mirror Matching	$\approx$ Worst		$\approx$ Best

II. Gate Común



$$A_G = g_{ms}/g_d$$

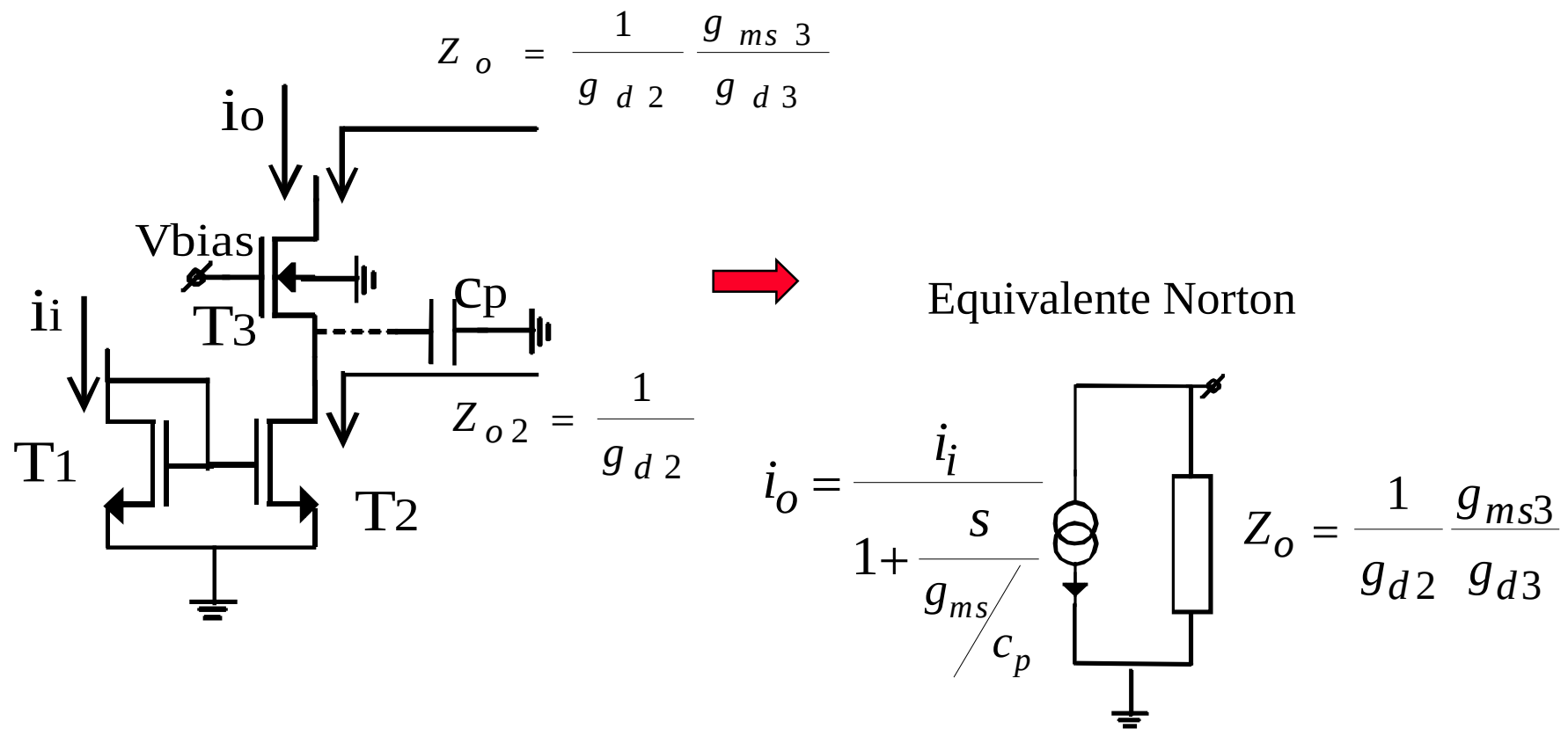
Forward	Input Impedance $Z_i \cong (1/g_d + Z_L)/A_G$	Forward Gain $A_V = Z_L/Z_i$
$Z_L < 1/g_d$	$Z_i \cong 1/g_{ms}$	$A_V \cong g_{ms} \cdot Z_L$
$Z_L > 1/g_d$	$Z_i \cong Z_L/A_G$	$A_V \cong A_G$



Reverse	Output Impedance $Z_o \cong (1/g_{ms} + Z_s)/A_G$	Reverse Gain $A_V = Z_s/Z_o$
$Z_L < 1/g_{ms}$	$Z_o \cong 1/g_d$	$A_V \cong g_d \cdot Z_s$
$Z_L > 1/g_{ms}$	$Z_o \cong Z_s \cdot A_G$	$A_V \cong 1/A_G$

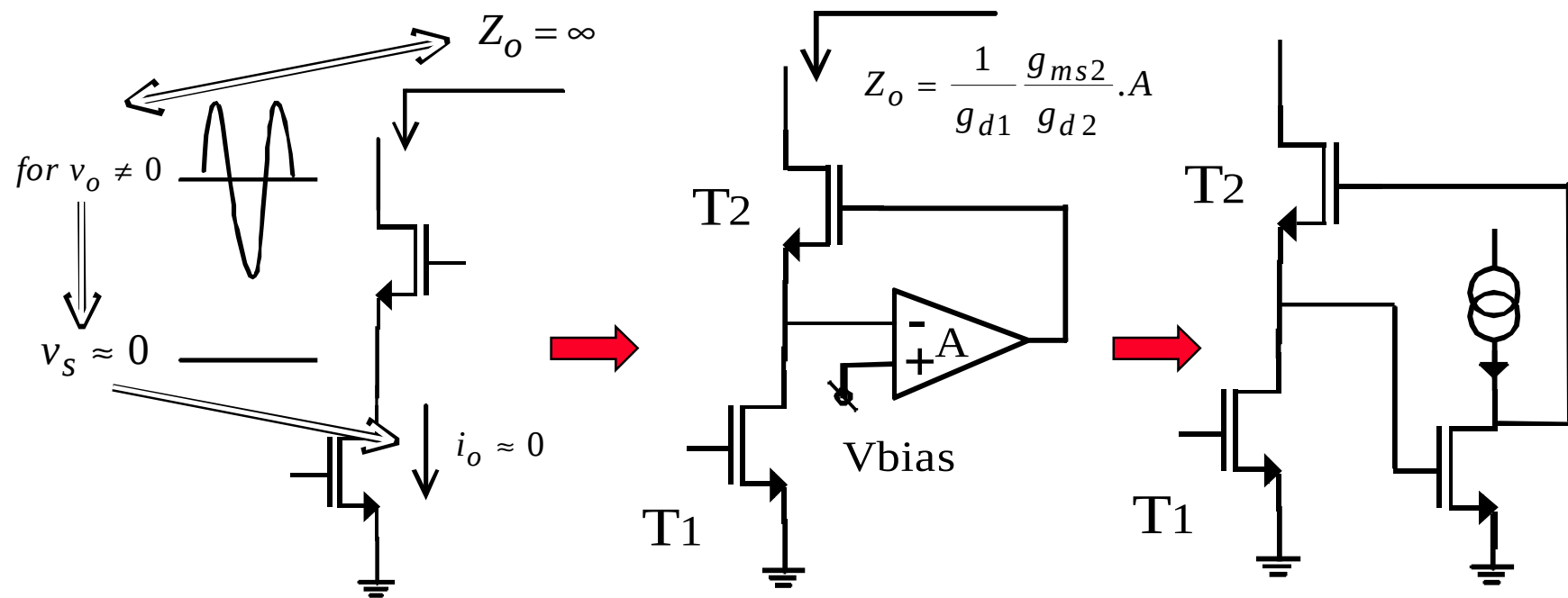
II. Etapa Cascode (1)

Cascode: common source + common gate

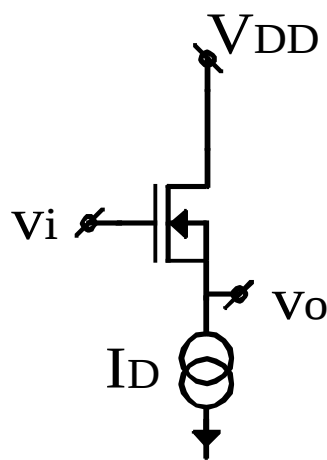


II. Etapa Cascode (2)

Regulated cascode (Hosticka 79), gain-boosting technique (Bult, Geelen 90)
Adecuado para alta frecuencia y alta ganancia



II. Seguidor de Fuente



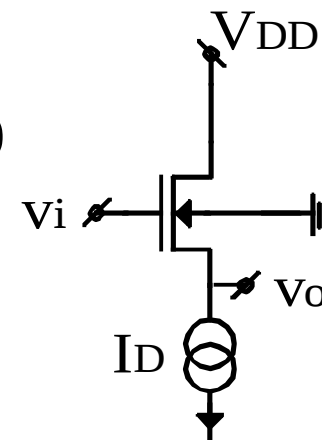
$$\frac{v_o}{v_i} = \frac{g_m / g_d}{1 + g_m / g_d} \cong 1$$

$$R_{out} = 1/g_{ms} \Rightarrow \text{low.}$$

◆ También usado como trasladador de nivel (“level shifter”)

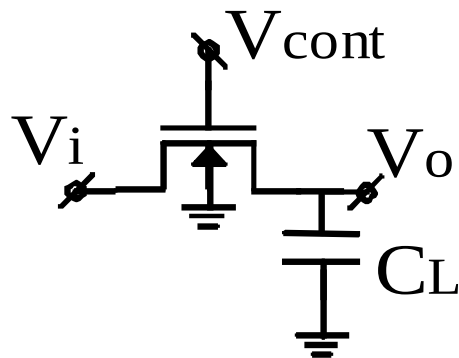
◆ Pero si tenemos el nodo del sustrato conectado a GND (o VDD para pMOS) $\Rightarrow$ (debido al efecto “body”)

$$\frac{v_o}{v_i} = \frac{g_m}{g_{ms}} = \frac{1}{n} (\cong 0.7..0.8)$$



II. Llave analógica: Resistencia On (1)

- ◆ Aplicaciones: Sistemas con Datos muestreados (sample and hold, capacitores conmutados, corrientes conmutadas), MUX Analógico



- ◆ V_{cont} alto ($V_{cont} = V_{DD}$) $\Rightarrow$ llave on $\Rightarrow$

$$g_{on} = \frac{1}{R_{on}} = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right|_{V_{DS} \approx 0} = \beta \cdot (V_{DD} - V_{T0} - n \cdot V_i)$$

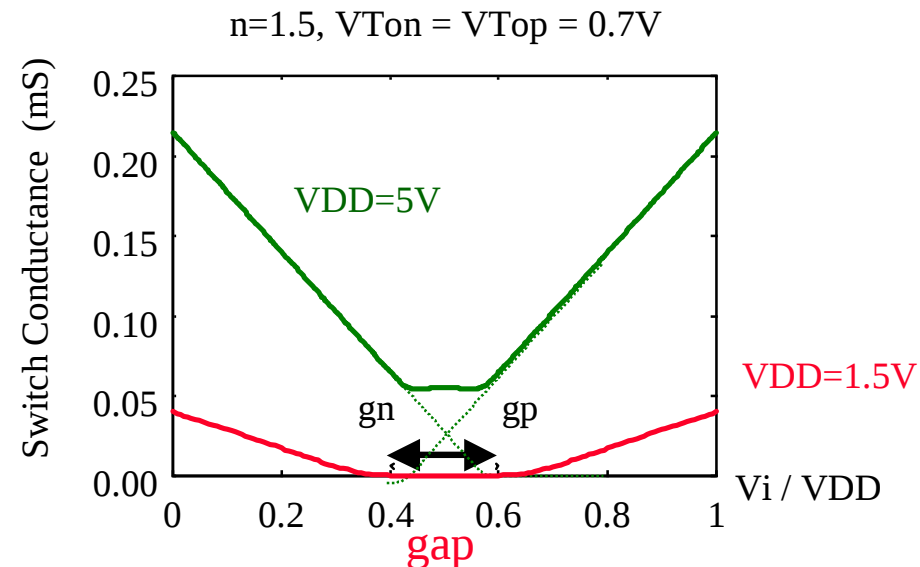
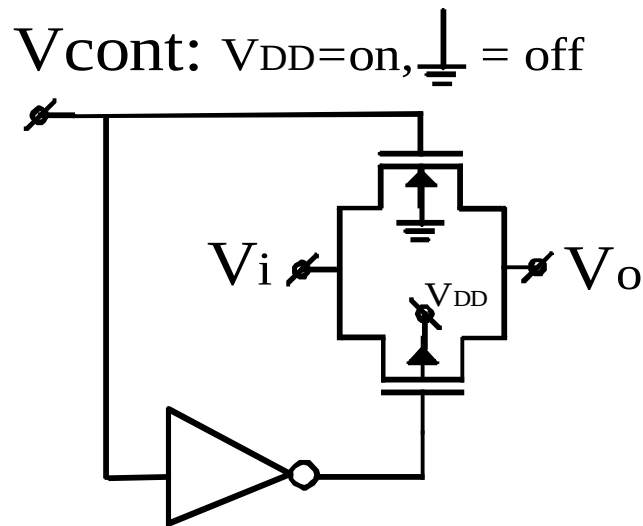
Inversión Fuerte, zona lineal



$$V_i < (V_{DD} - V_{T0})/n$$

$$V_i \leq (V_{DD} - V_{T0})/n \Rightarrow \text{inversión moderada y débil} \Rightarrow g_{on} \searrow \swarrow R_{on} \nearrow \nearrow$$

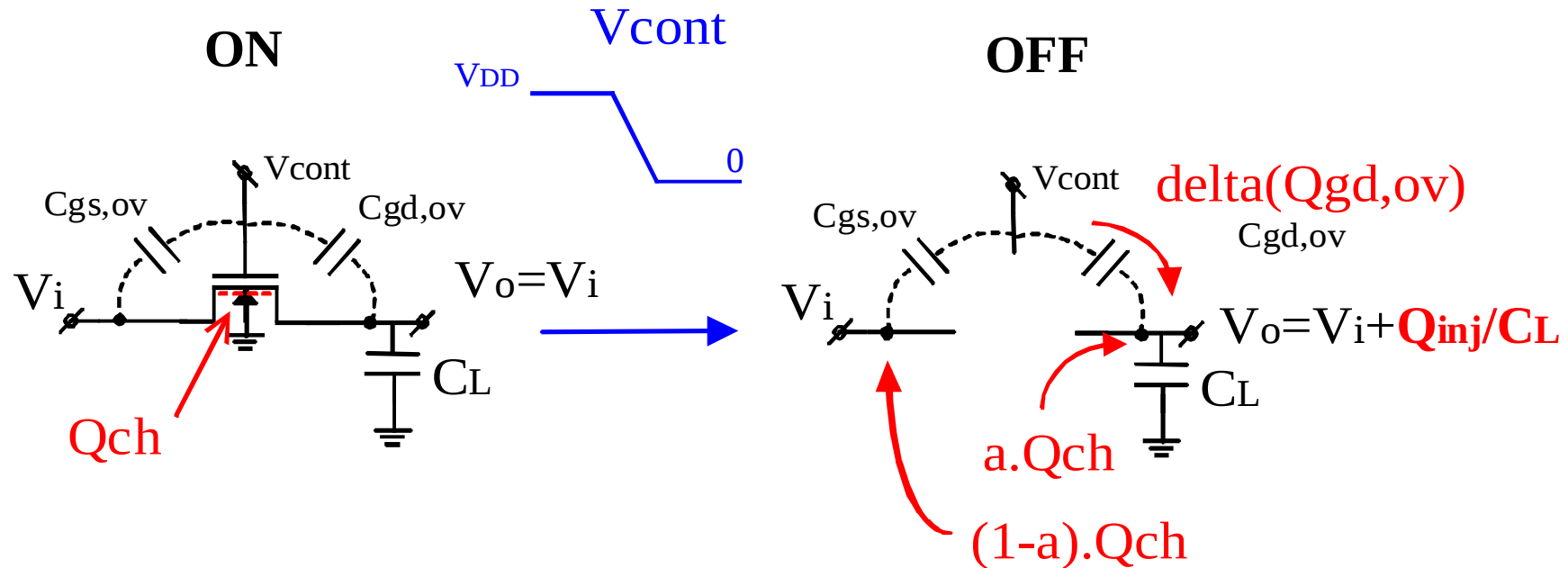
II. Llave analógica: Resistencia On (2)



$$\exists \text{ gap} \Leftrightarrow V_{DD} < V_{DDmin} = \frac{n_n \cdot V_{T0p} + n_p \cdot V_{T0n}}{n_n + n_p - n_n \cdot n_p} \quad \text{for } T_n \cong T_p \quad \approx \quad \frac{2 \cdot V_{T0}}{2 - n}$$

- Alternativas:
- ◆ evitar el gap
 - ◆ multiplicador de tensión para aumentar V_{gate}
 - ◆ Switched OTA (Crols, Steyaert 94)

II. Llave Analógica: inyección de carga (I)



$$Q_{ch} = -C_{ox} \cdot W \cdot L \cdot (V_{DD} - V_{T0} - n \cdot V_i), \Delta Q_{gd,ov} = -C_{gd,ov} \cdot V_{DD}$$

$$Q_{inj} = a \cdot Q_{ch} + \Delta Q_{gd,ov}$$

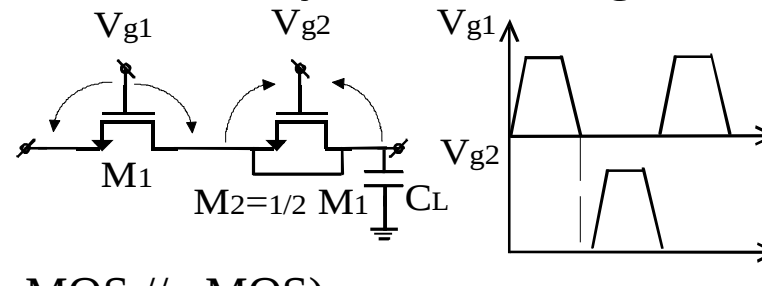
$$\text{Ex.: } W = L = 3\mu\text{m}, \Delta L_{ov} = 0.3\mu\text{m}, t_{ox} = 30\text{nm} \Rightarrow C_{ox} = 1.15\text{fF}/\mu\text{m}^2, V_{DD} = 5\text{V},$$

$$(V_{DD} - V_{T0} - n \cdot V_i) = 2\text{V}, a = 0.5 \Rightarrow Q_{inj} = 13\text{fC} \Rightarrow \Delta V_o = 13\text{mV}.$$

II. Llave analógica: Inyección de carga (2)

- ◆ ΔV_o es dependiente de la señal ($=f(V_i)$)
- ◆ La repartición de carga (factor a) depende del tiempo de caída de V_{cont} , tiende a 0.5 cuando el tiempo de caída de V_{cont} tiende a 0 (Wegman, Vittoz, Rahali 87),
- ◆ Varias alternativas para reducción de la inyección de carga:

- Dummy switch



- Complementary switches (nMOS // pMOS)

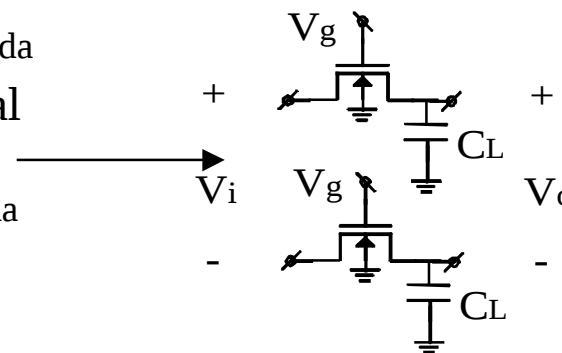
parte dependiente de la señal cancelada

parte independiente de la señal aumentada

- Estructura totalmente diferencial

parte dependiente de la señal aumentada

parte independiente de la señal cancelada

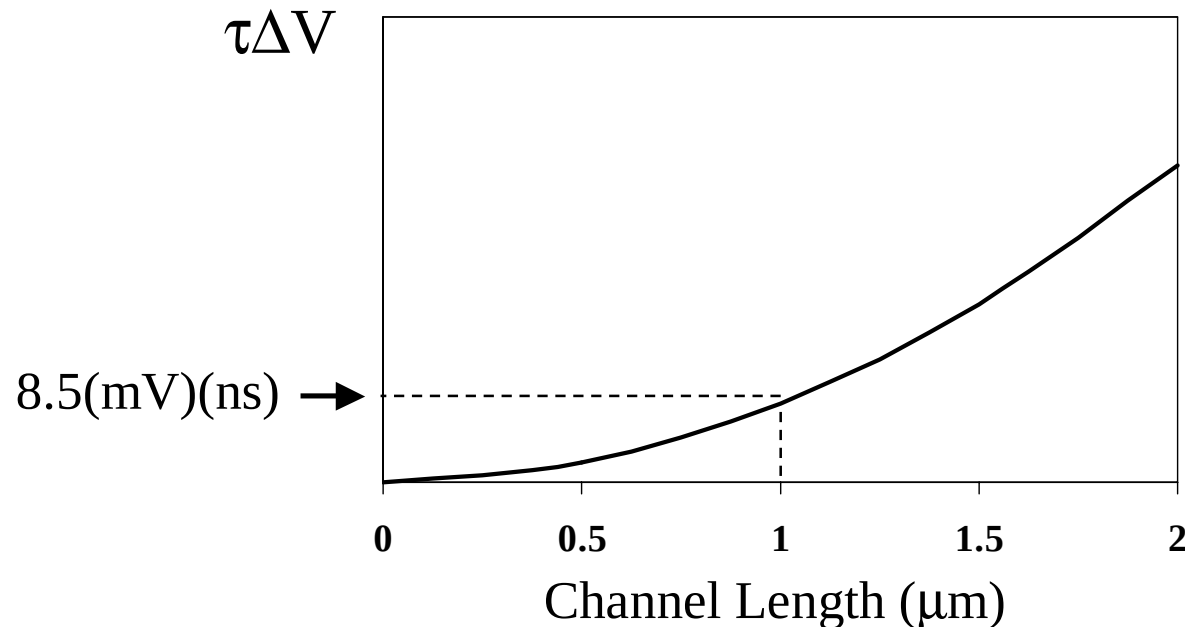


II. Llaves analógicas: compromiso velocidad-precisión

Ancho de banda en modo sample:

$$\frac{1}{R_{on}C_L} = \frac{1}{\tau} = \frac{\mu.Q_{ch}}{L^2.C_L} \approx \frac{\mu.}{L^2}.(2.\Delta V)$$

$$\Rightarrow \tau.\Delta V = \frac{L^2}{2\mu}$$



A modo de conclusión...

Conclusiones (1)

- ◆ En diseño analógico el consumo interactúa con múltiples aspectos como:
 - ganancia / precisión,
 - velocidad,
 - offset,
 - slew rate,
 - rango lineal,
 - ruido (ver próxima presentación),
 - rango de modo común de entrada,
 - rango de salida.

El Diseño Analógico es como el Diseño de Violines ...



lo que absolutamente requiere es atención meticulosa a los detalles.

(Milton Wilcox in “Analog Circuit Design, Art, Science and Personalities”, Ed. by Jim Williams, BH Newnes, 1991).

Referencias.

B. Kamath, R. Meyer, P. Gray, "Relationship between frequency response and settling time of operational amplifiers", IEEE JSSC, vol. 9, no. 6, pp. 332-340.

B. Hosticka, "Improvement of the gain of MOS amplifiers", IEEE JSSC, vol 14, no. 6, Dec. 79, pp. 1111-1114.

K. Bult, G. Geelen, "A Fast-Settling CMOS Opamp for SC Circuits with 90-dB DC gain", IEEE JSSC, vol. 25, no. 6, Dec. 90, pp. 1379-1384.

J. Crols, M. Steyaert, "Switched-Opamp: An Approach to Realize Full CMOS Switched-Capacitor Circuits at Very Low Power Supply Voltages", IEEE JSSC, vol. 29, No. 8, Aug. 94, pp.936..942.

G. Wegman, E. Vittoz, F. Rahali, "Charge injection in Analog MOS Switches", IEEE JSSC, vol 22, No. 6, Dec. 87, pp. 1091..1097.