

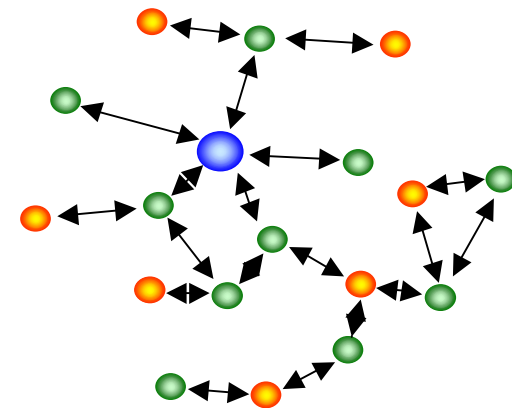
Diseño de Ultra Bajo Consumo

I. Modelado del Transistor MOS para Diseño de Bajo Consumo

Fernando Silveira

Instituto de Ingeniería Eléctrica, Universidad de la República,
Uruguay

CCC del Uruguay S.A.



Potencia vs. Baja Potencia vs. MicroConsumo vs. Ultra Bajo Consumo (ULP)

- ◆ **Pentium 4**, 3.4GHz, tecnología 90nm => Consumo=**118W** !!,
=> $IDD = 91A$!! @ $VDD = 1.3V$
- ◆ Procesador “**Low Power**” para Notebooks => Consumo: algunos **Watts**
=> IDD algunos **Amps**
- ◆ **Baterías**: 50mAh (botón) hasta 1Ah, 2Ah (alcalinas, recargables)

1 Ah = 114 μA . año
- ◆ **Micropower**: Consumo del orden del μW / μA (un **millón** de veces menos !!).
 - Areas tradicionales
 - » Relojes pulsera
 - » Dispositivos médicos implantables (marcapasos)
- ◆ Actualmente: **Nanoconsumo** o **Ultra Bajo Consumo (ULP: Ultra Low Power)**

Ejemplo de circuitos:

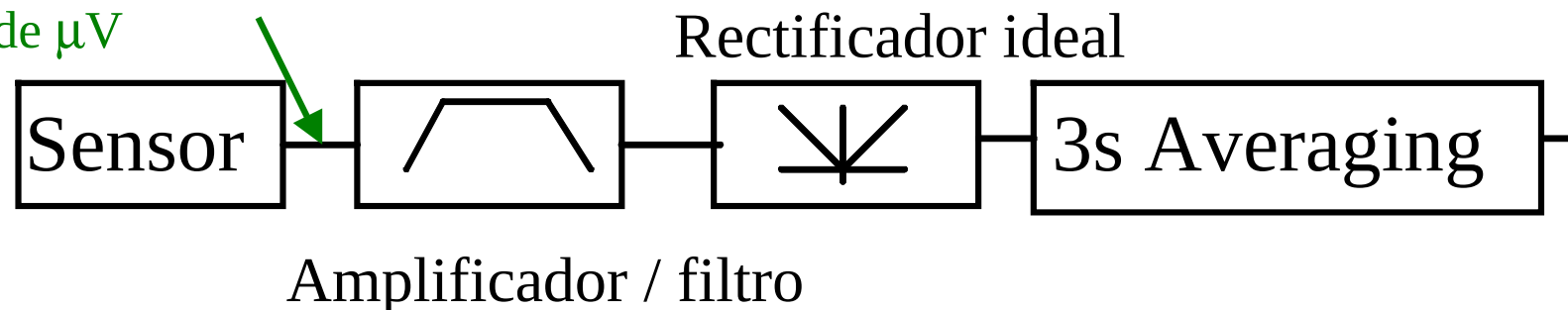
Sensado de Actividad en Marcapaso

◆ Objetivo:



- ◆ Ej. Indicador de actividad: Promedio en 3s del valor absoluto de la aceleración en la banda de 0.5 - 7 Hz.

Amplitud: decenas a centenas
de μV



Objetivos de estas Presentaciones

- ◆ Dar un panorama del diseño actual de circuitos integrados analógicos y digitales de ultra bajo consumo.
- ◆ Mostrar técnicas de diseño y análisis a nivel de circuito integrado y de sistema
 - Física y modelado de los dispositivos
 - Métodos de diseño y optimización
 - Límites teóricos
 - Técnicas a nivel circuito y sistema
- ◆ Mostrar perspectivas y temas de investigación en el área

Organización de las Presentaciones

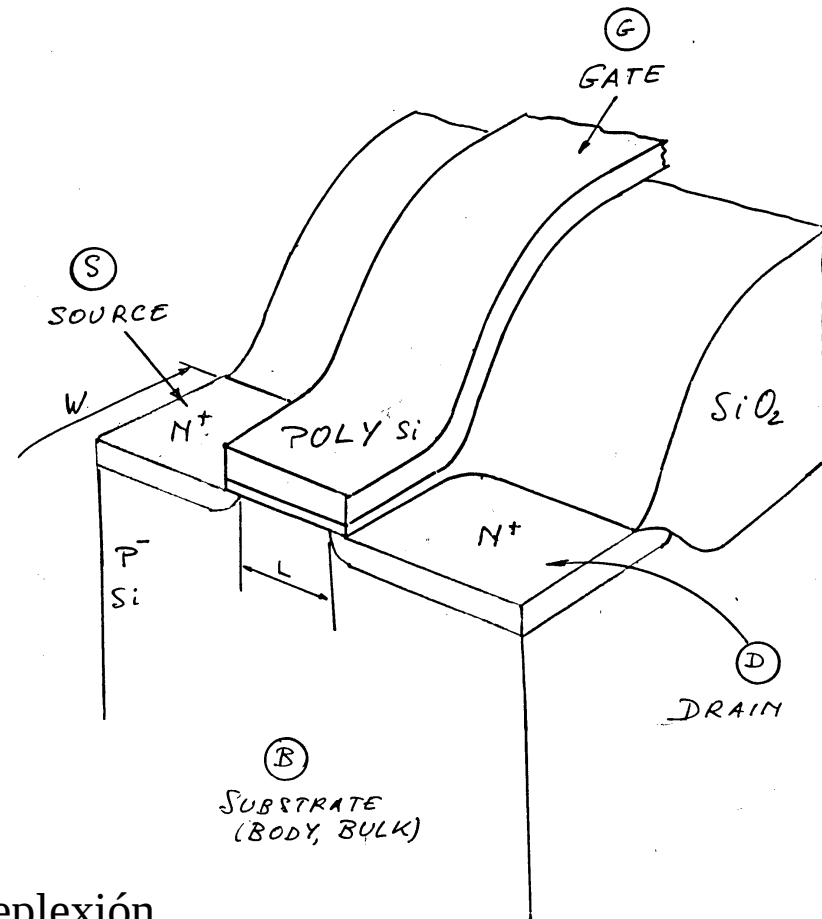
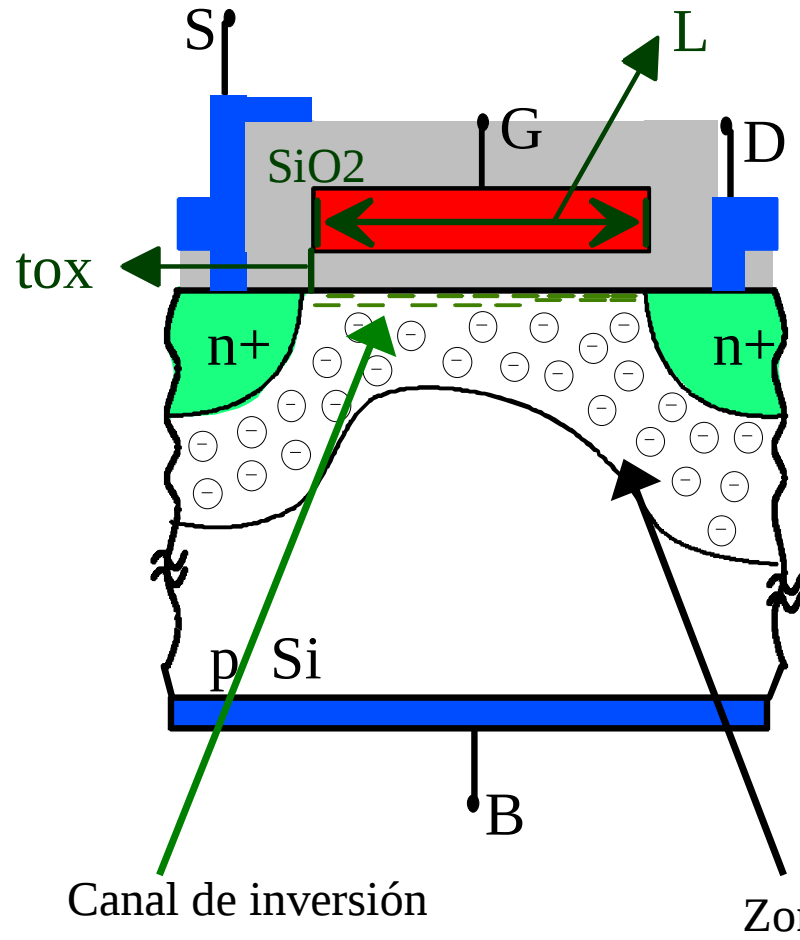
- ◆ I. Modelado del transistor MOS para diseño de bajo consumo.
- ◆ II. Metodología de diseño de circuitos integrados analógicos MOS y operación bloques básicos.
- ◆ III. Consumo en circuitos digitales y analógicos: origen, límites teóricos y técnicas de circuito.
- ◆ IV. Técnicas de reducción de consumo a nivel sistema. Ejemplos y tendencias.

Modelado del transistor MOS para diseño de bajo consumo

Agenda

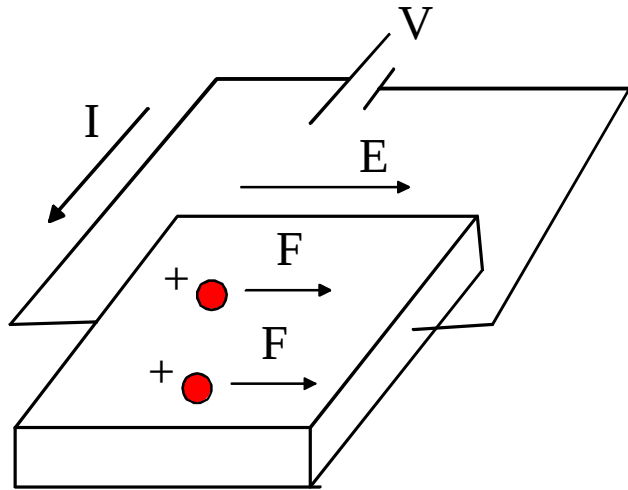
- ◆ I. Transistor MOS: Revisión de conceptos básicos.
- ◆ II. Transistor MOS: Modelado DC para diseño ULP.
- ◆ III. Transistor MOS: Modelo de pequeña señal.

I. Transistor MOS (canal n)



- ◆ Ancho W : dimensión en la dirección perpendicular a la pantalla

I. Mecanismos de conducción de corriente: Arrastre (drift) y Difusión

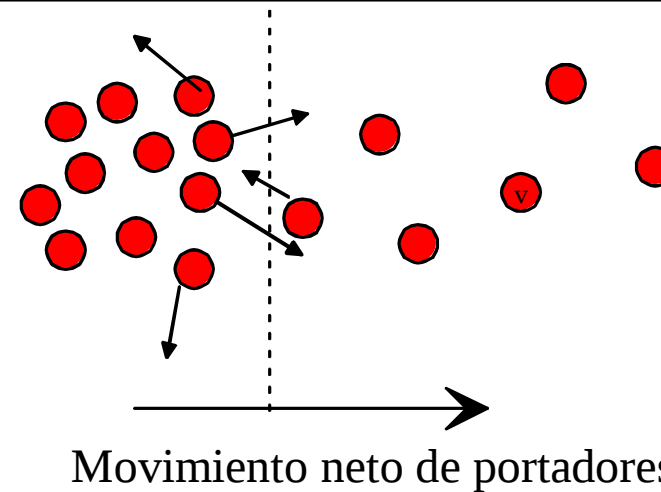


Arrastre (Drift)

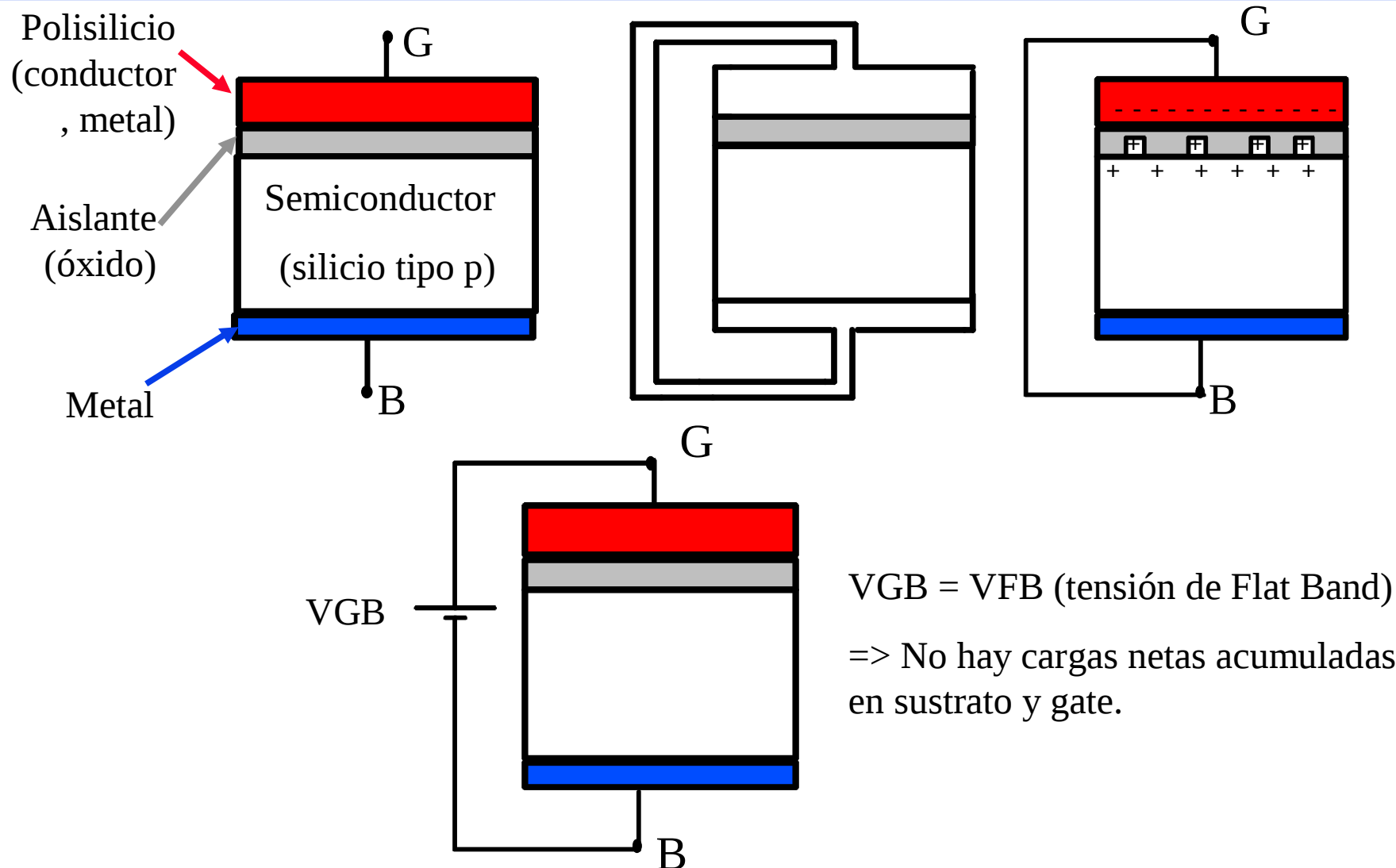
- velocidad media portadores = $\mu \cdot E$,
 μ : movilidad
- I proporcional a la concentración de portadores

Difusión

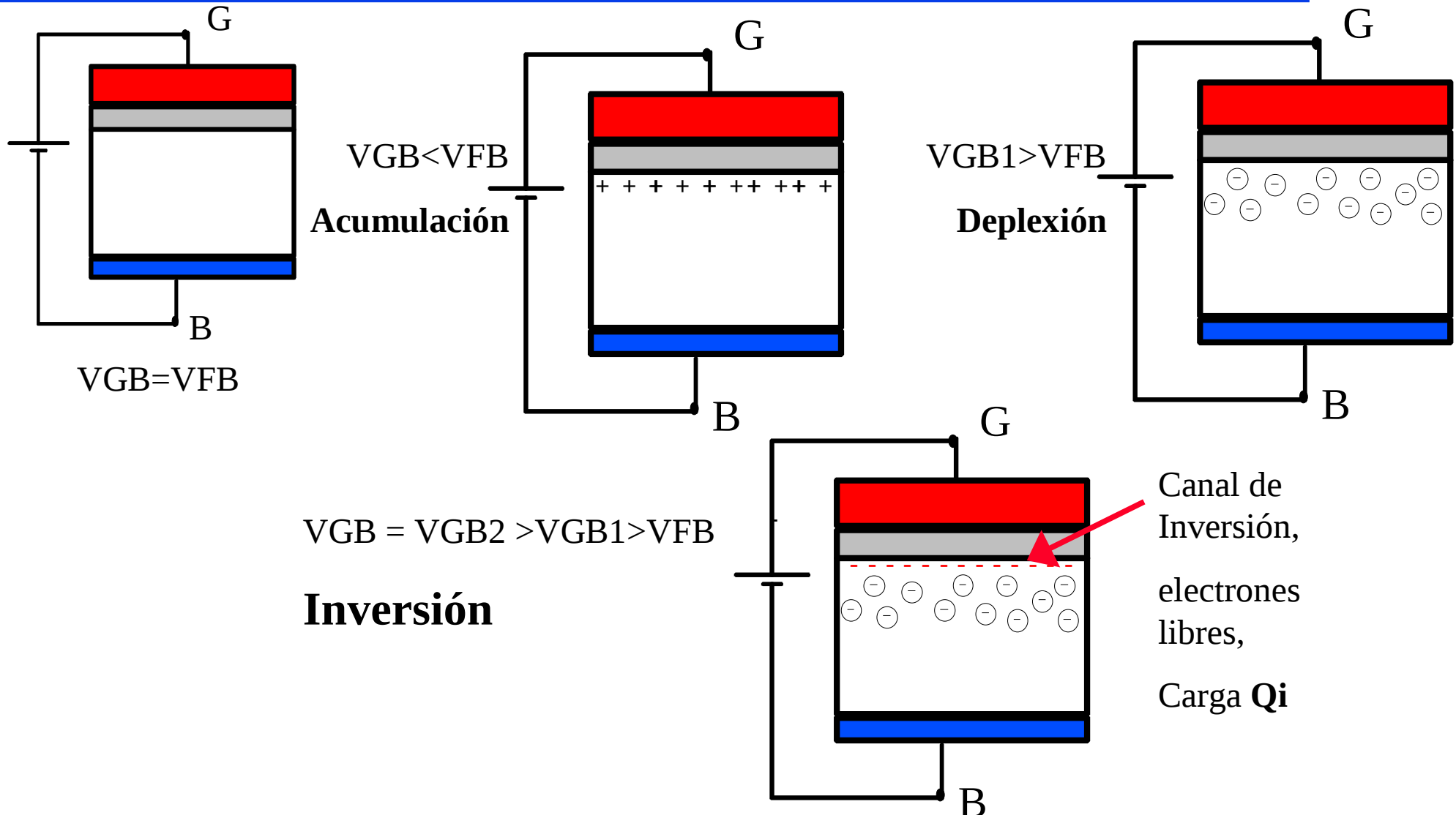
- Debido a movimiento aleatorio portadores y gradiente de concentración
- I proporcional a gradiente de concentración



I. Estructura MOS de Dos Terminales: Tensión de Banda Plana (“Flat Band”)

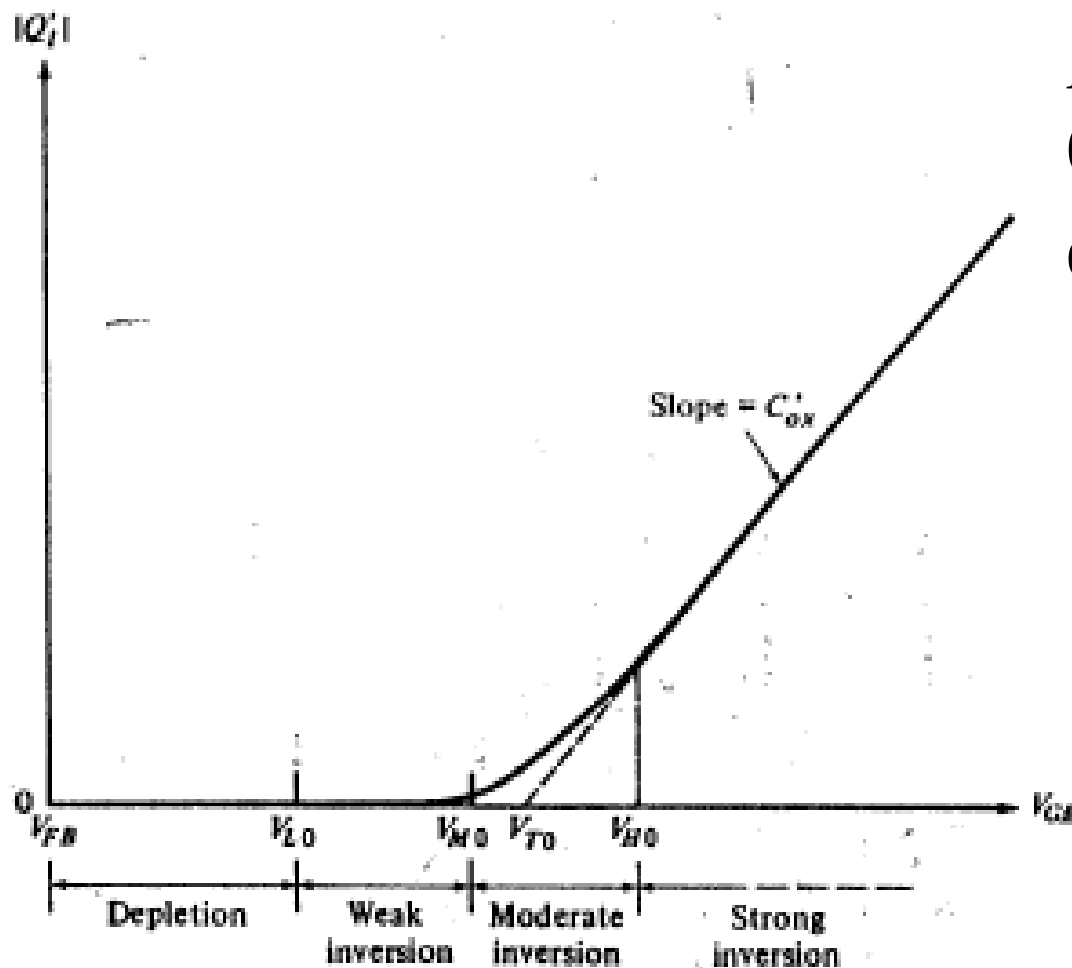


I. Estructura MOS de Dos Terminales: Acumulación, Deplexión, Inversión



I. Estructura MOS de Dos Terminales:

Carga de Inversión Q_i

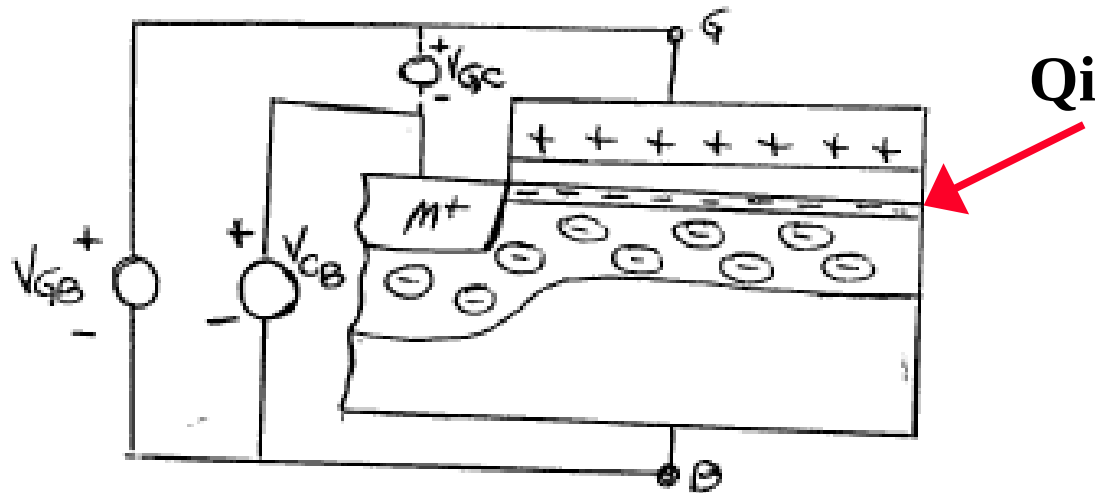


Aproximación usual
(inversión fuerte):

$$Q'_i = C'_{ox} \cdot (V_{GB} - V_{T0})$$

Fuente: Tsividis

I. Estructura MOS de Tres Terminales: Efecto de sustrato (efecto “body”).



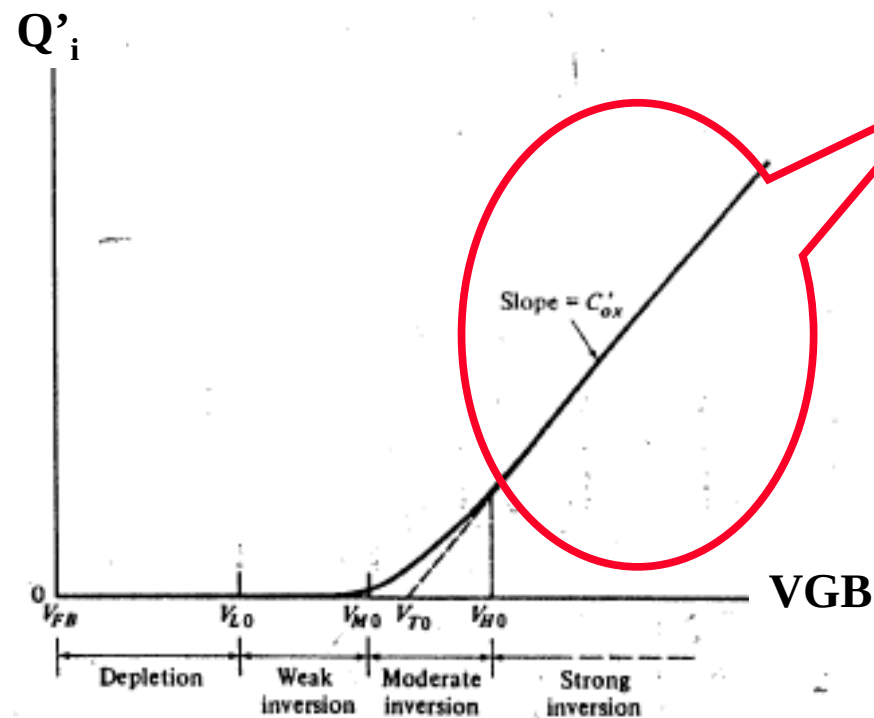
- Si se aumenta V_{CB} manteniendo V_{GC} constante $\Rightarrow Q_i$ disminuye.

- Para tener el mismo Q_i , V_{GB} y V_{GC} tienen que aumentar en mayor proporción que V_{CB}

$$Q'_i = C'_{ox} \cdot (V_{GB} - V_{T0} - \lambda \cdot V_{CB}),$$

$$\lambda = 1.2 \dots 1.6 \cong n$$

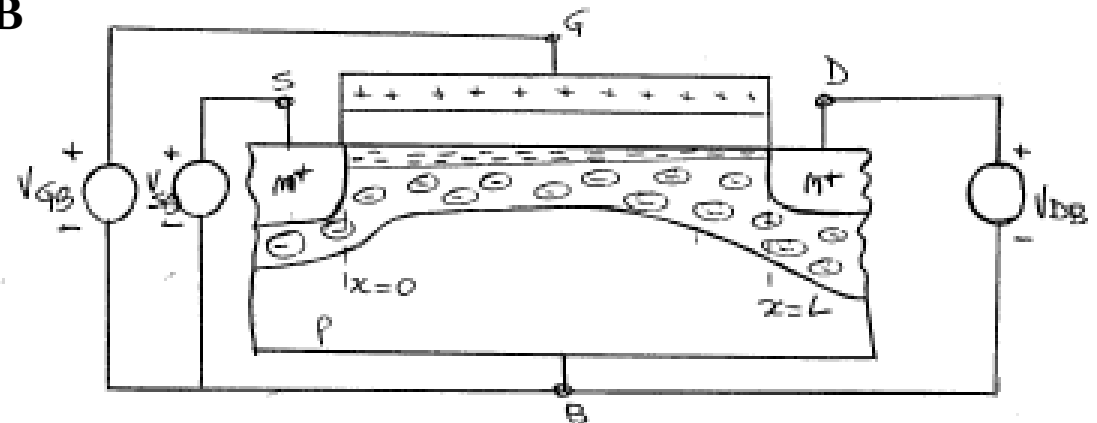
I. Transistor MOS (Cuatro Terminales): Modelo simplificado inversión fuerte



- $Q'_i = C'_{ox} \cdot (V_{GB} - V_{T0} - \lambda \cdot V_{CB})$

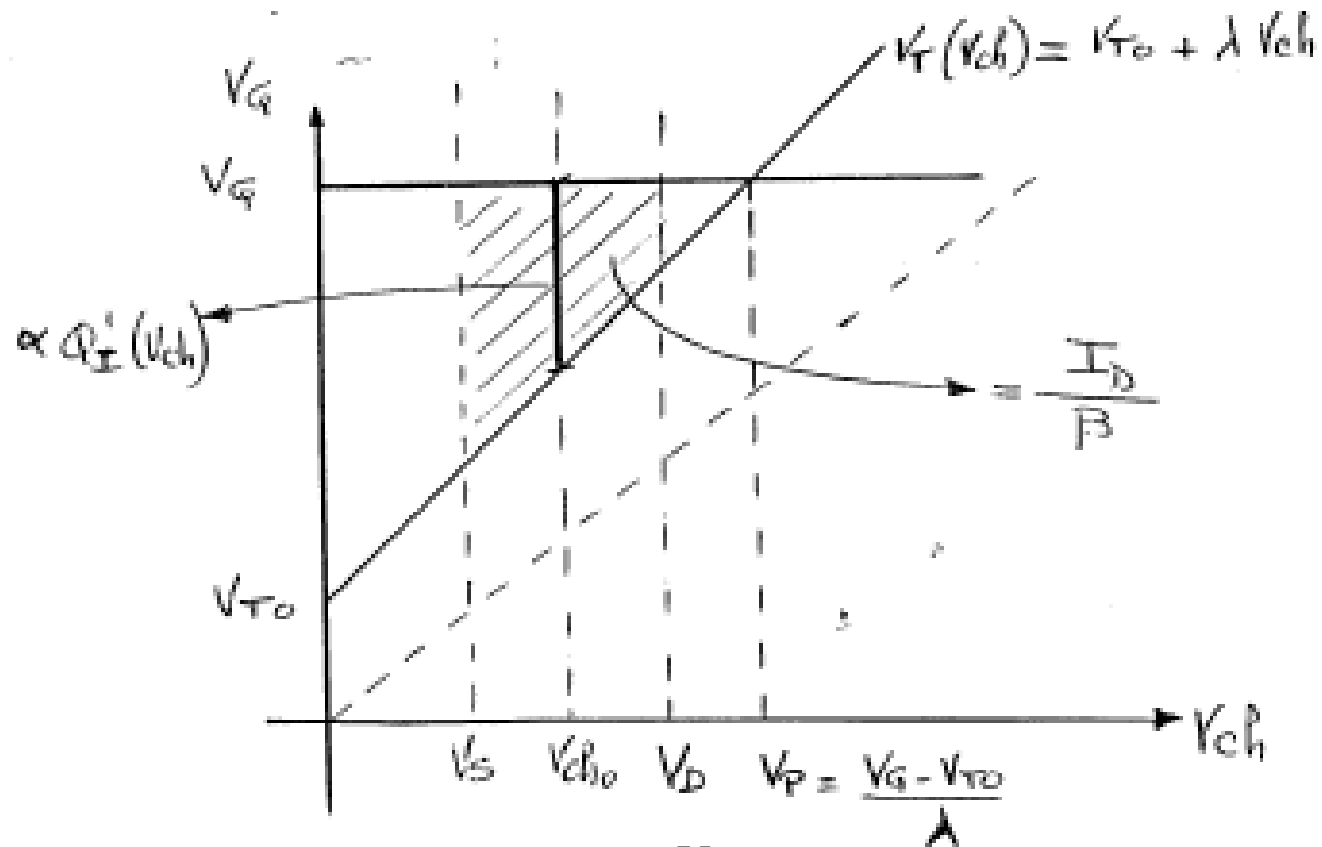
$\lambda = 1.2 \dots 1.6 \cong n$

- $I_D = \mu \cdot \frac{W}{L} \int_{V_{SB}}^{V_{DB}} (-Q'_i) dV_{CB}$



I. Transistor MOS (Cuatro Terminales)

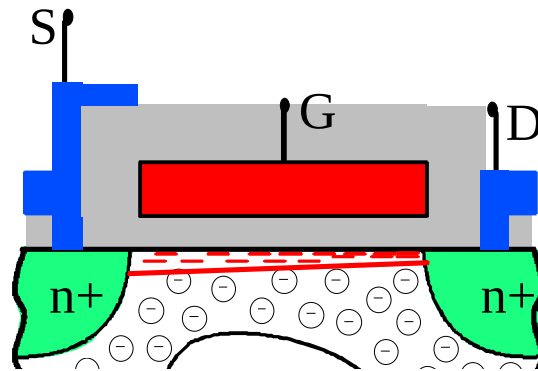
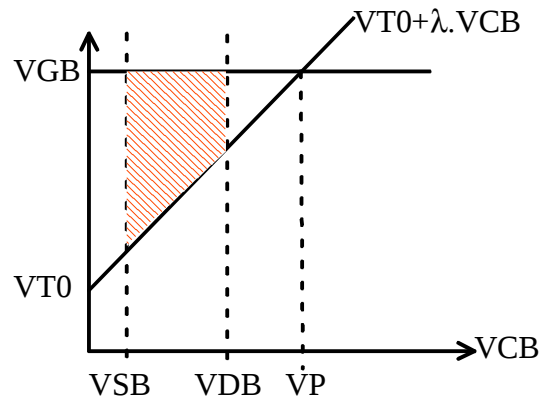
Diagrama de Memelink / Jespers (1)



$$I_D = \underbrace{\mu \cdot \frac{W}{L} C'_{ox}}_{\beta} \int_{V_{SB}}^{V_{DB}} (V_{GB} - V_{T0} - \lambda \cdot V_{CB}) dV_{CB}$$

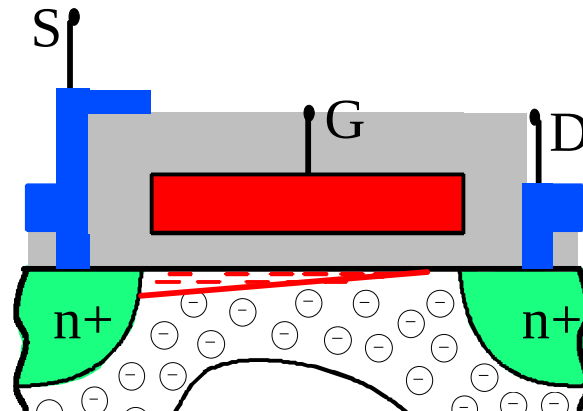
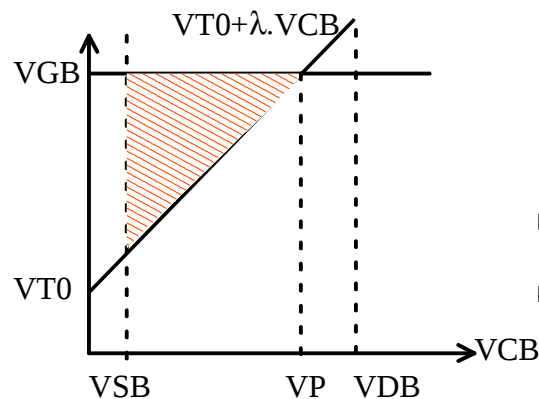
I. Transistor MOS (Cuatro Terminales)

Diagrama de Memmelink / Jespers (2)



Zonal Lineal,

$$VDB < VP = (VGB - VT0)/\lambda$$

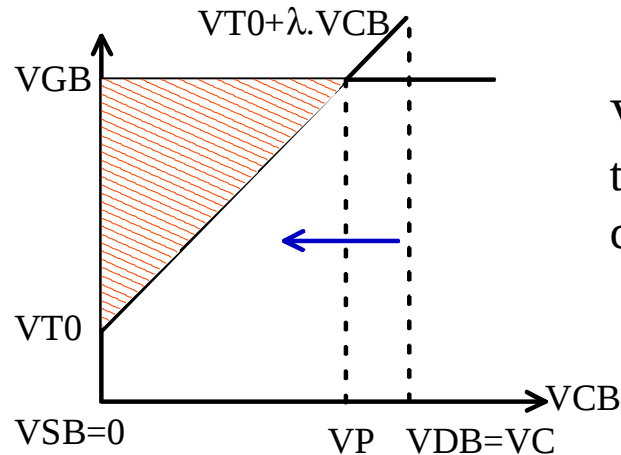
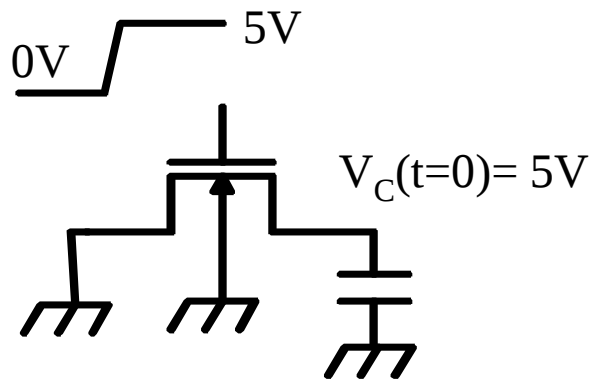


Saturación,

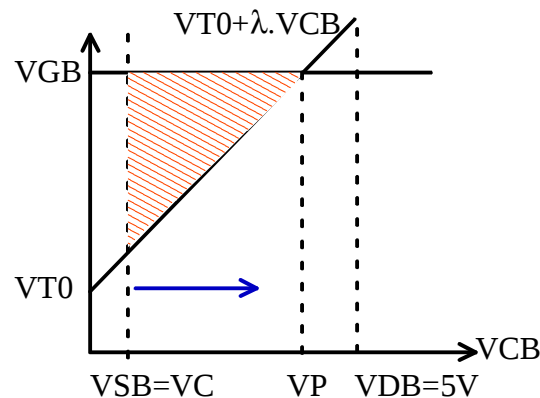
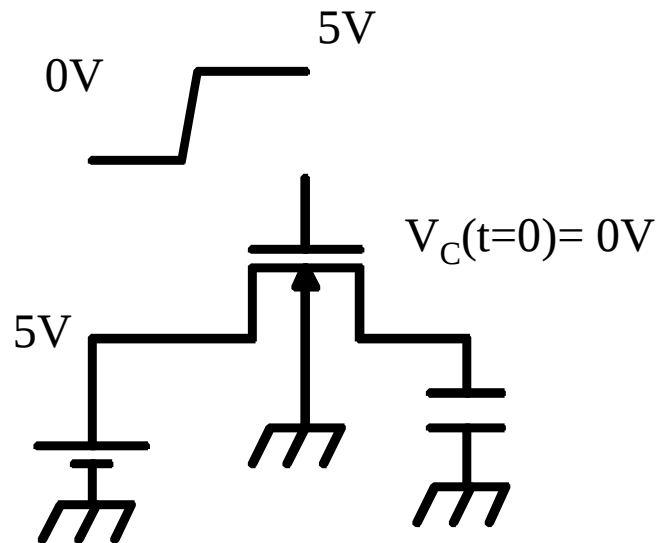
$$VDB > VP = (VGB - VT0)/\lambda$$

I_D independiente de VDB igual a β por área del triángulo.

I. Ej. Descarga y carga de un condensador por un transistor nMOS (3)

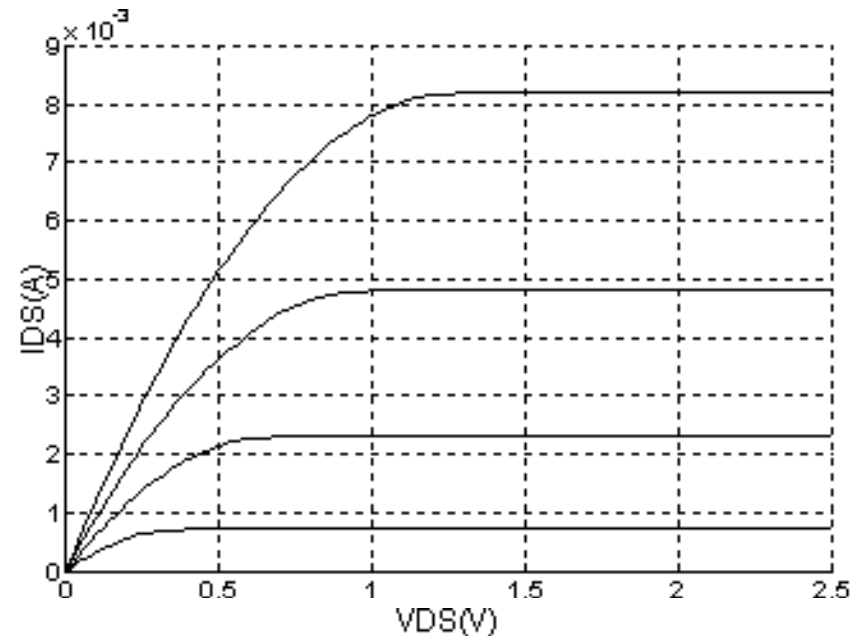
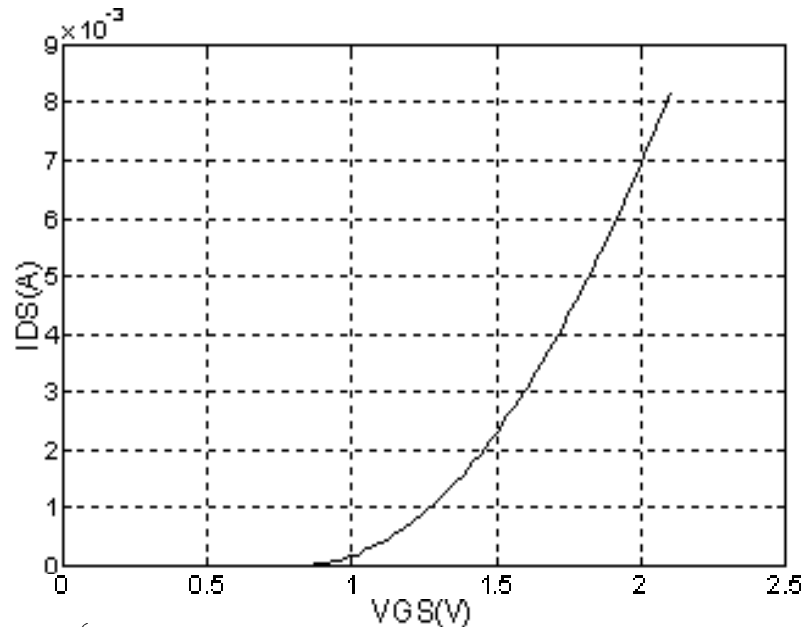


Valor **final** de tensión en el condensador **0V**



Valor **final** de tensión en el condensador: **$V_P < 5V$** (en realidad carga muy lenta después de V_P)

I. Transistor MOS: el modelo más simplificado

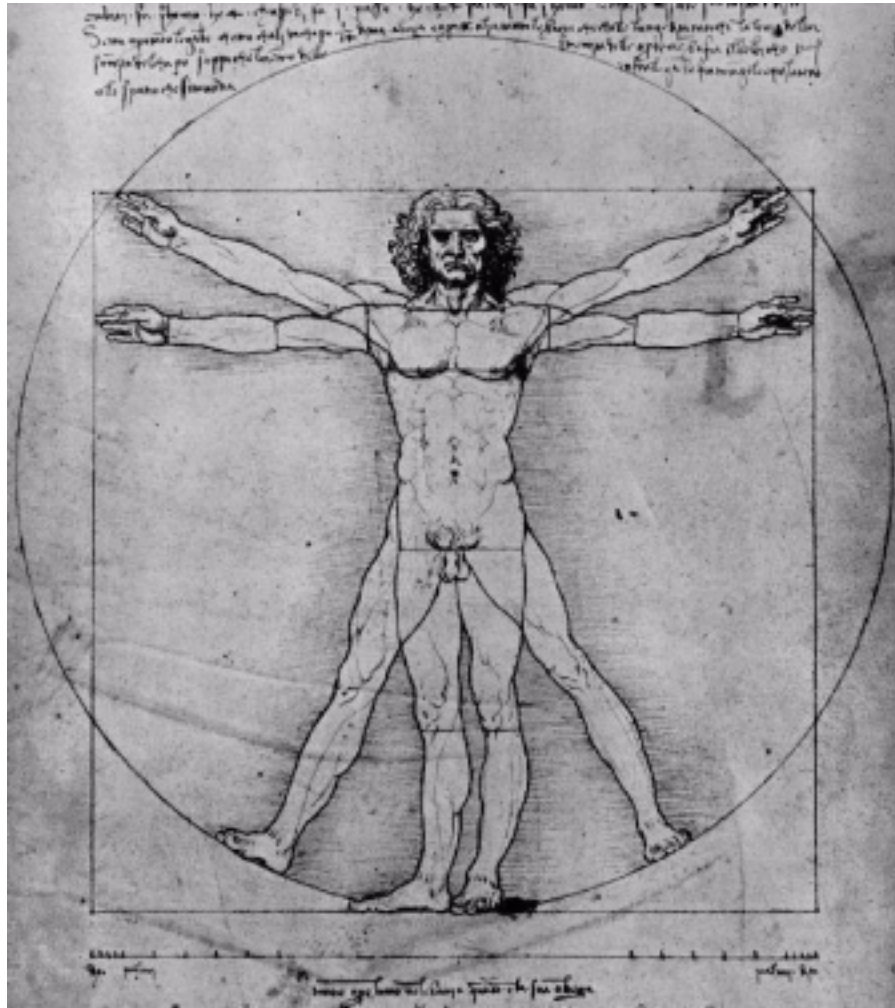


$$I_{DS} = \begin{cases} \rightarrow \text{Saturación} \\ \frac{\beta}{2} \cdot (V_{GS} - V_{T0})^2, V_{GS} > V_{T0}, V_{DS} > V_{DSAT} = V_{GS} - V_{T0} \\ \\ \rightarrow \text{Zona Lineal o Triodo} \\ \beta \cdot \left((V_{GS} - V_{T0}) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right), V_{GS} > V_{T0}, V_{DS} < V_{DSAT} = V_{GS} - V_{T0} \\ \\ \rightarrow \text{Zona de Corte} \\ 0, V_{GS} \leq V_{T0} \end{cases}$$

$$\beta = \mu \cdot C_{ox} \cdot (W/L)$$

Caso ideal ...

... y realidad



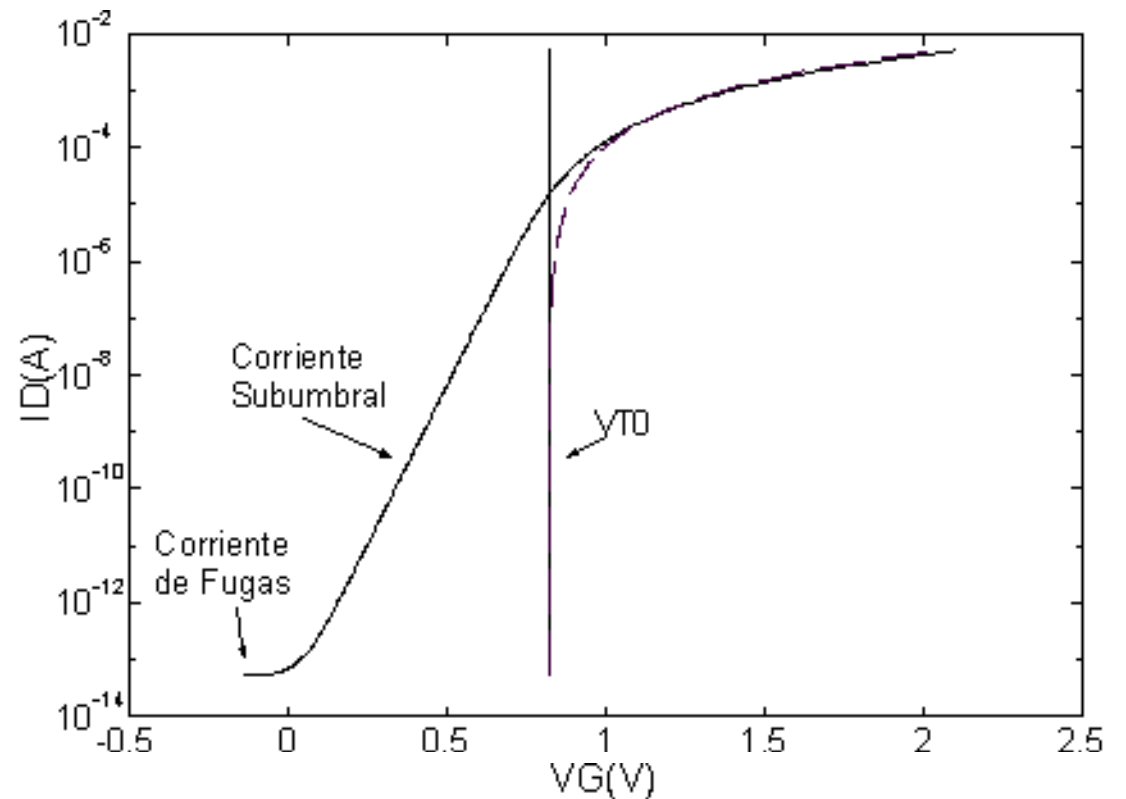
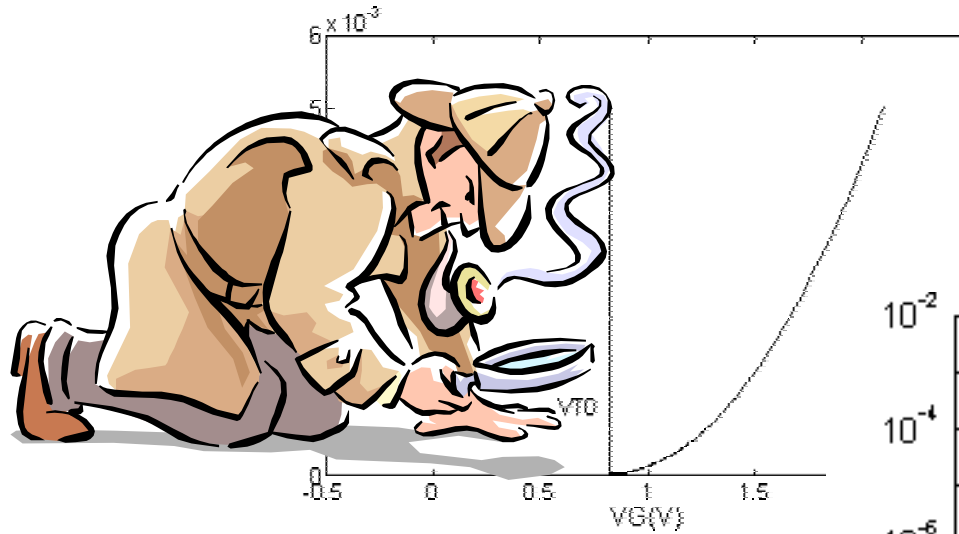
Agenda

- ◆ I. Transistor MOS: Revisión de conceptos básicos.
- ◆ II. Transistor MOS: Modelado para diseño ULP.
- ◆ III. Transistor MOS: Modelo de pequeña señal.

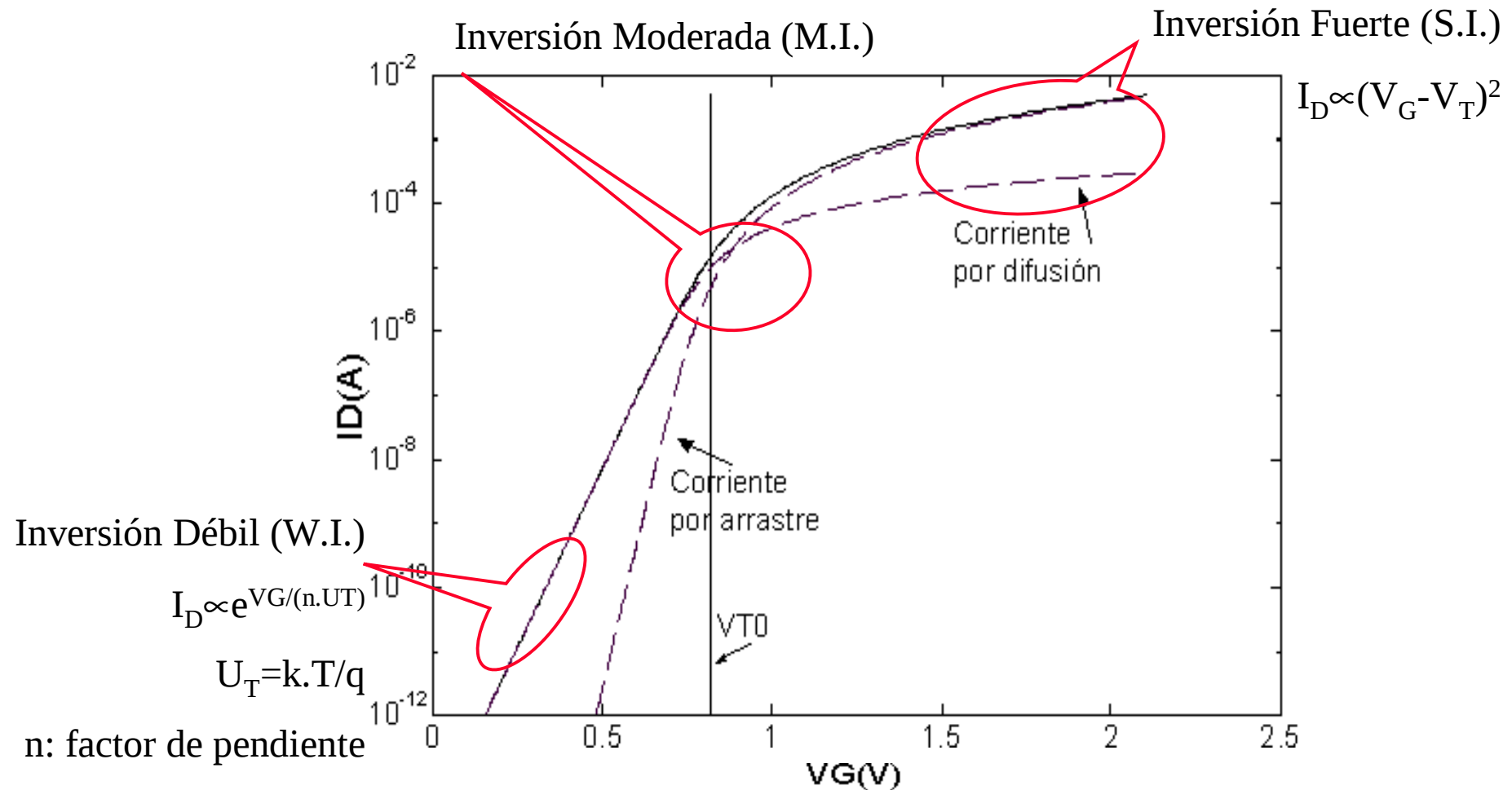
II. Modelo simplificado: defectos para diseño analógico

- ◆ MOS: dispositivo de 4 terminales, simétrico respecto a D y S.
- ◆ Efectos de segundo orden:
 - Efecto de sustrato o efecto de cuerpo (“body”) (V_T cambia con V_{SB}).
 - Modulación de largo de canal o efecto Early (I_D cambia con V_D en saturación).
 - Otros (saturación de velocidad, reducción de movilidad, efectos de canal corto ...)
- ◆ Comportamiento cerca del umbral y por debajo de él.

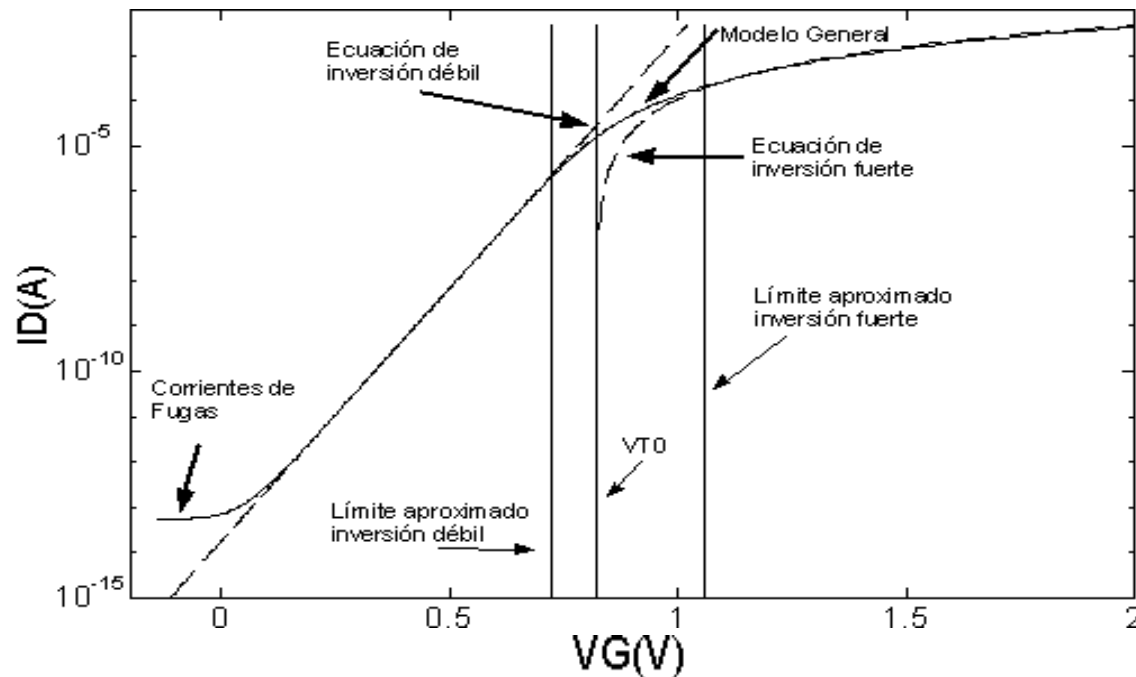
II. Corriente subumbral (1)



II. Corriente subumbral (2)



II. Modelos analíticos válidos en todas las regimenes de inversión.



- ◆ EKV (Enz, Krummenacher, Vittoz, EPFL, Suiza, AICSP 1995): interpolación matemática entre ecuaciones de inversión débil y fuerte.
- ◆ ACM (Advanced Compact Model, A. Cunha, C. Galup-Montoro, M. Schneider, UFSC, Brasil, IEEE JSSC 1998): Modelo físico

II. Modelo ACM: Elementos básicos (1)

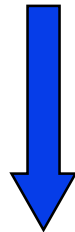
$$\phi_t \equiv U_T = \frac{k.T}{q} = 26mV @ 300^\circ K$$

$$I_D = \mu W \left(\underbrace{-Q_I' \frac{d\phi_s}{dx}}_{\text{drift}} + \underbrace{\phi_t \frac{dQ_I'}{dx}}_{\text{difusión}} \right)$$

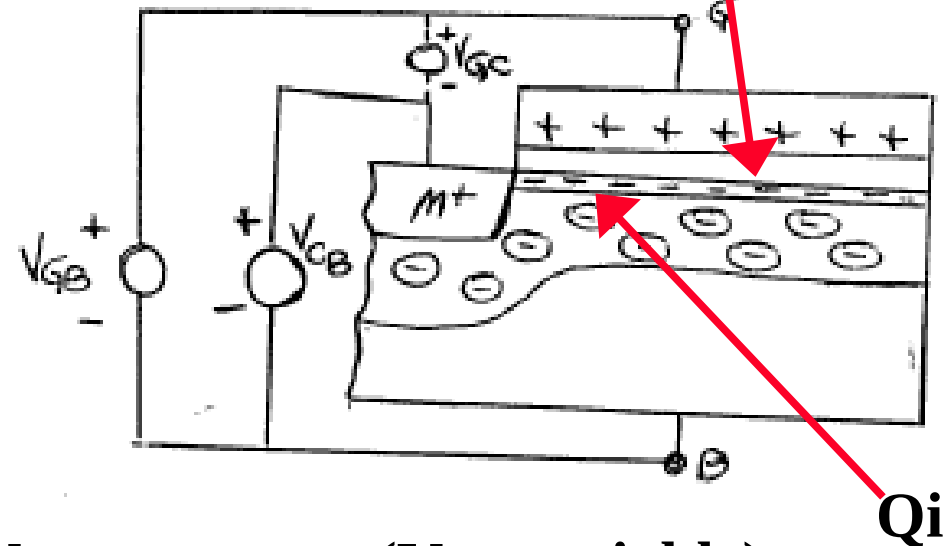
Considerar corrientes de arrastre y difusión

ϕ_s : potencial de superficie

$$Q_I' = -C_{ox}' \left(V_{GB} - V_{FB} - \phi_s - \gamma \sqrt{\phi_s} \right)$$



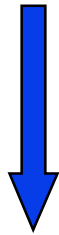
Linealización de Q_I vs. ϕ_s para V_{GB} constante (V_{CB} variable)



II. Modelo ACM: Elementos básicos (2)

Linealización de Q_I vs. ϕ_S para V_{GB} constante (V_{CB} variable)

$$Q_I' = -C_{ox}' \left(V_{GB} - V_{FB} - \phi_S - \gamma \sqrt{\phi_S} \right)$$



$$Q_I' \cong n C_{ox}' (\phi_s - \phi_{sa}) \quad dQ_I' \cong n C_{ox}' d\phi_s$$

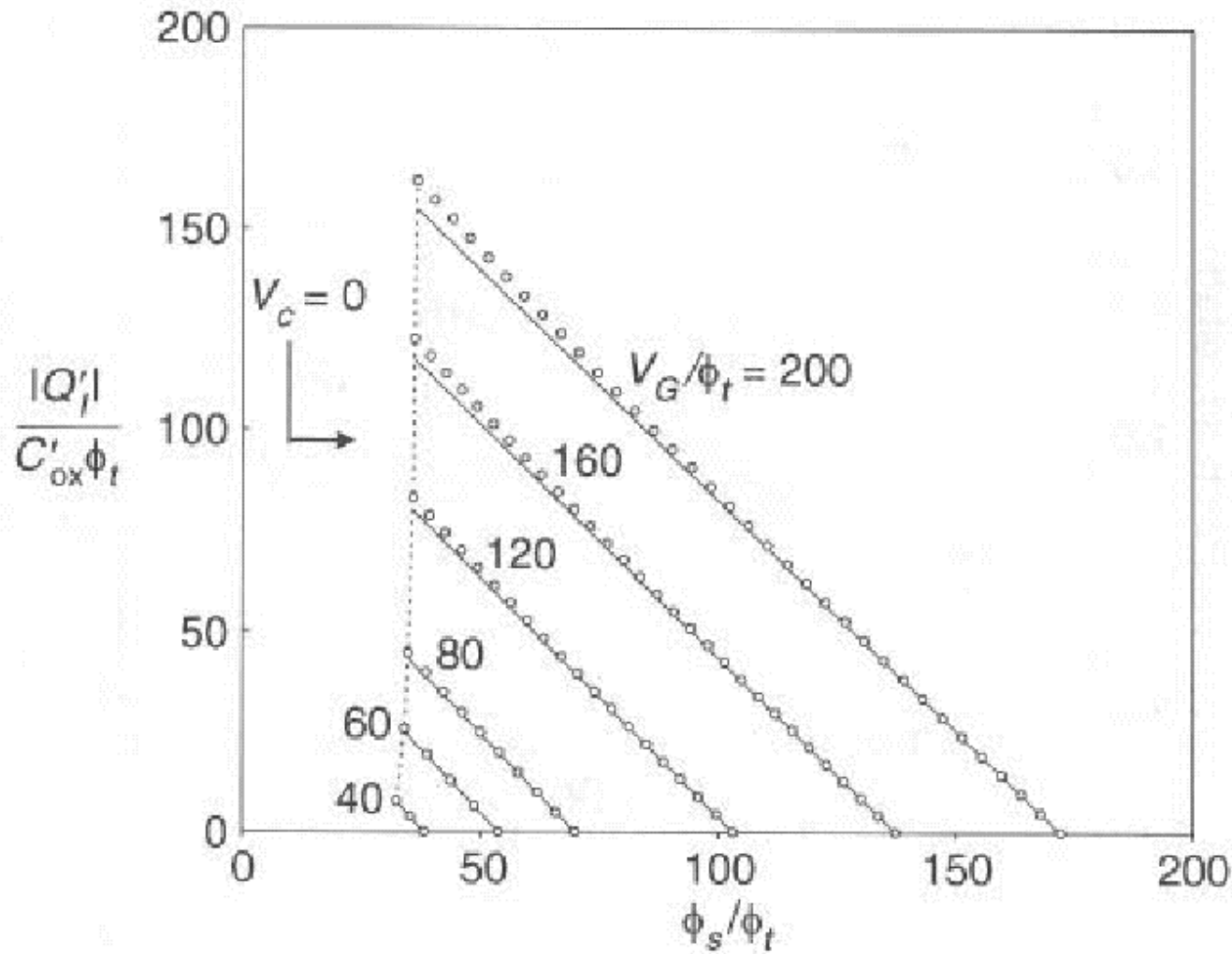
Punto de linealización: $\phi_{sa} = \phi_S$ / Q_I despreciable ($Q_I = 0$)

$$n = 1 + \frac{\gamma}{2\sqrt{\phi_{sa}}} = \frac{1}{\frac{d\phi_{sa}}{dV_{GB}}}$$

$$\phi_{sa} = \left(\sqrt{V_{GB} - V_{FB} + \frac{\gamma^2}{4}} - \frac{\gamma}{2} \right)^2$$

II. Modelo ACM: Elementos básicos (3)

Resultado Aproximación



From: C. Galup-Montoro,
A. Cunha, "A Current-
Based MOSFET Model for
Integrated Circuit Design",
in *Low-Voltage / Low-
Power Integrated Circuits
and Systems: Low-Voltage
Mixed-Signal Circuits*

edited by
Edgar Sanchez-Sinencio,
Andreas Andreou, IEEE
Press 1999

II. Modelo ACM Corriente de Drain (1)

$$I_D = \mu W \left(\underbrace{-Q'_I \frac{d\phi_s}{dx}}_{\text{drift}} + \underbrace{\phi_t \frac{dQ'_I}{dx}}_{\text{difusión}} \right) \quad Q'_I \cong n C'_{ox} (\phi_s - \phi_{sa}) \quad dQ'_I \cong n C'_{ox} d\phi_s$$

$$I_D = -\frac{\mu}{n C'_{ox}} \frac{W}{L} \int_{Q'_{IS}}^{Q'_{ID}} (Q'_I - n C'_{ox} \phi_t) dQ'_I$$

$$I_D = I_F - I_R = I(V_{GB}, V_{SB}) - I(V_{GB}, V_{DB})$$

$$I_{F(R)} = \mu n C'_{ox} \frac{W}{L} \frac{\phi_t^2}{2} \left[\left(\frac{Q'_{IS(D)}}{n C'_{ox} \phi_t} \right)^2 - 2 \frac{Q'_{IS(D)}}{n C'_{ox} \phi_t} \right]$$

II. Modelo ACM Corriente de Drain (2)

$$I_D = I_F - I_R \text{ or } I_D = I_S \cdot (i_f - i_r), \text{ con } I_S = (1/2)n\beta\phi_t^2$$

I_S is débilmente dependiente en V_G a través de μ y n

$$V_P - V_{S(D)} = \phi_t \left[\sqrt{1 + i_{f(r)}} - 2 + \ln \left(\sqrt{1 + i_{f(r)}} - 1 \right) \right]$$

Con $V_P \approx (V_G - V_{T0})/n$

	W.I	M.I	S.I
Límites propuestos por ACM	$i_{f_{ACM}} < 1$	$1 < i_{f_{ACM}} < 100$	$i_{f_{ACM}} > 100$
Límites propuestos por EKV	$i_{f_{ACM}} < 0.4$ $i_{f_{EKV}} < 0.1$	$0.4 < i_{f_{ACM}} < 40$ $0.1 < i_{f_{EKV}} < 10$	$i_{f_{ACM}} > 40$ $i_{f_{EKV}} > 10$

II. Modelo ACM Corriente de Drain (3)

$$V_P - V_{S(D)} = \phi_t \left[\sqrt{1 + i_{f(r)}} - 2 + \ln(\sqrt{1 + i_{f(r)}} - 1) \right]$$

a) weak inversion: $i_{f(r)} \ll 1$

$$V_P - V_{S(D)} \cong \phi_t \left[-1 + \ln\left(\frac{i_{f(r)}}{2}\right) \right]$$

$$\Rightarrow I_D \cong 2I_S \exp\left(\frac{V_G - V_{T0} - nV_S}{n\phi_t} + 1\right) [1 - \exp(-\frac{V_{DS}}{\phi_t})]$$

b) strong inversion at source and drain: $i_{f(r)} \gg 1$

$$I_D \cong \frac{\mu n C'_{ox}}{2} \frac{W}{L} [(V_P - V_S)^2 - (V_P - V_D)^2]$$

c) forward saturation: $i_f \gg i_r \Rightarrow I_D$ is (almost) independent of V_D

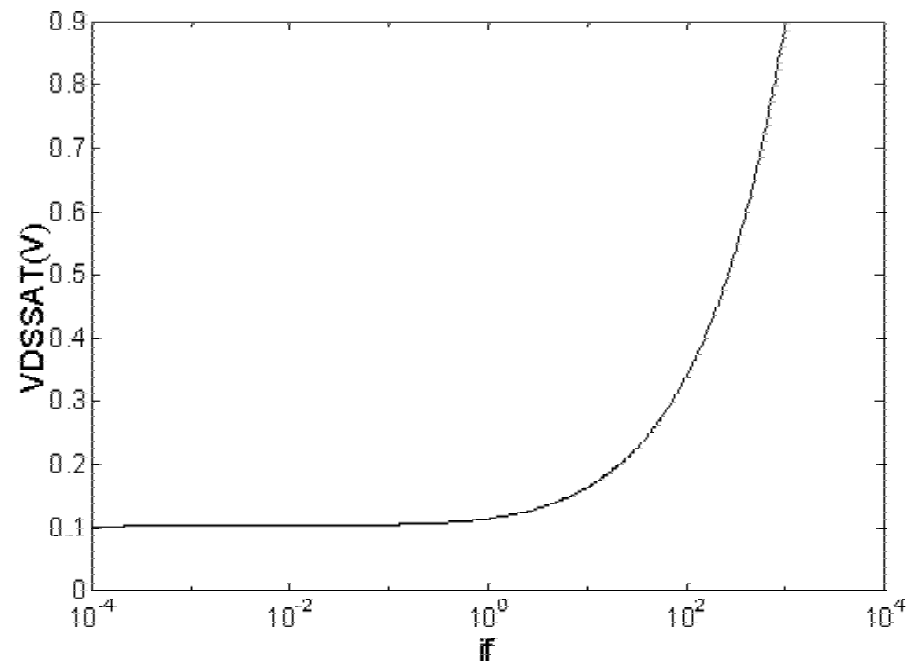
c1) weak inversion: $I_D \cong 2I_S \exp\left(\frac{V_G - V_{T0} - nV_S}{n\phi_t} + 1\right)$

c2) strong inversion $I_D \cong \frac{\mu C'_{ox}}{2n} \frac{W}{L} (V_G - V_{T0} - nV_S)^2 = I_S \left(\frac{V_G - V_{T0} - nV_S}{n\phi_t} \right)^2$

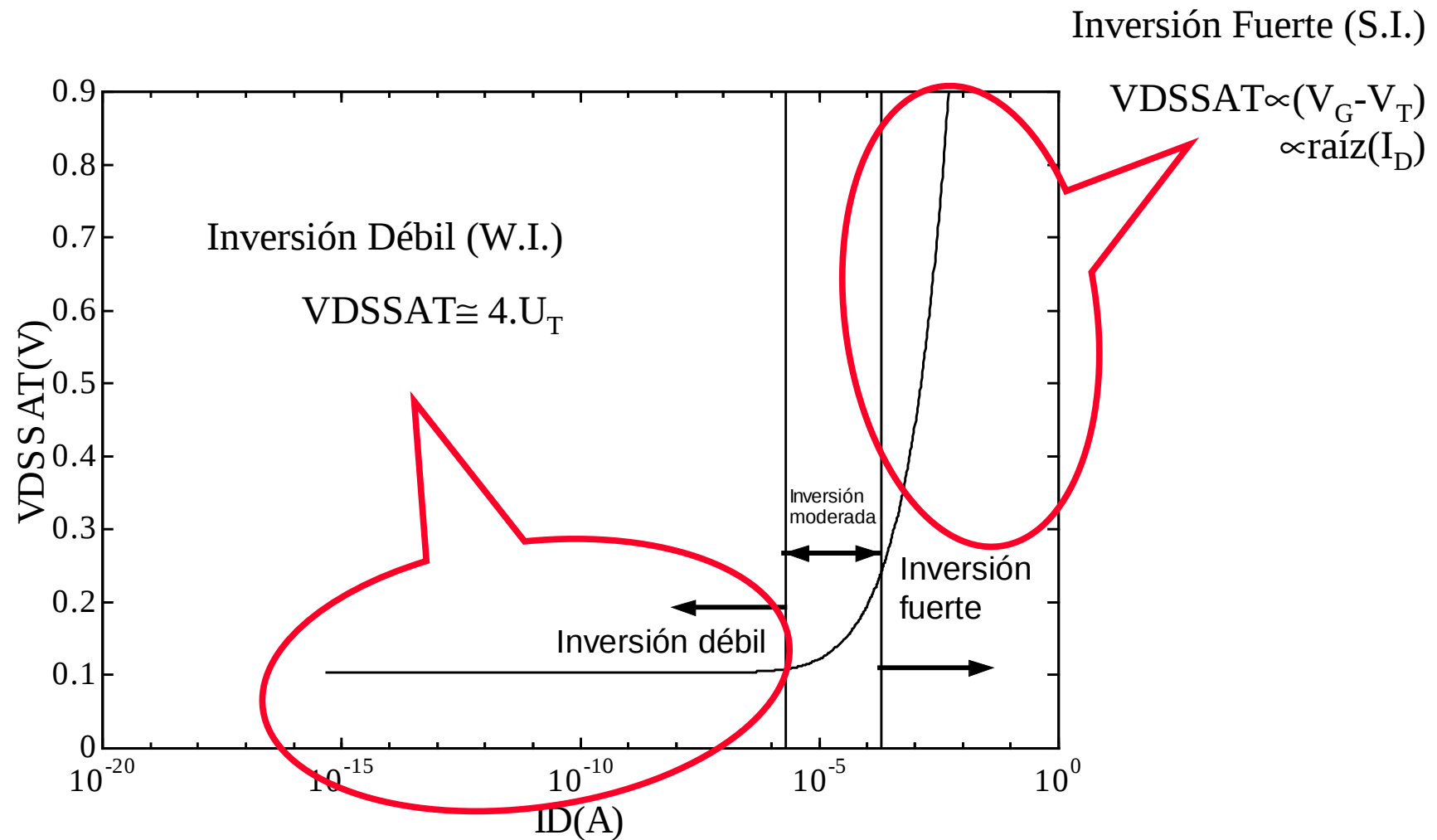
II. Modelo ACM VDSAT (1)

Definida como el punto donde: $Q_{ID}/Q_{IS} = \xi$, $\xi \ll 1$

$$V_{DSsat} = U_T \left[\ln\left(\frac{1}{\xi}\right) + \sqrt{1+i_f} - 1 \right] \cong U_T \left[\sqrt{1+i_f} + 3 \right] \quad \text{para } \xi = 0.01$$



II. Modelo ACM: VDSAT (2)

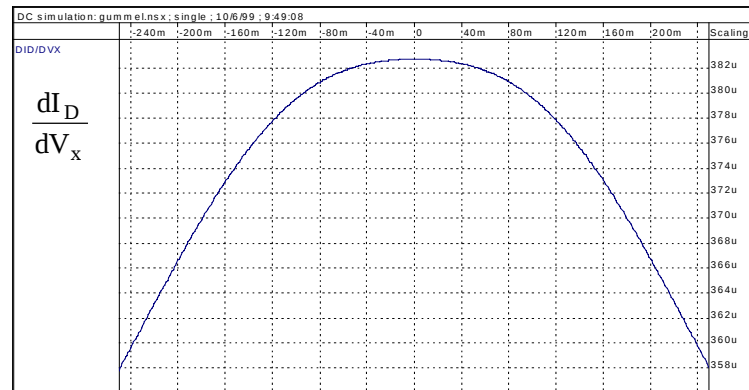


II. Modelo ACM Resumen

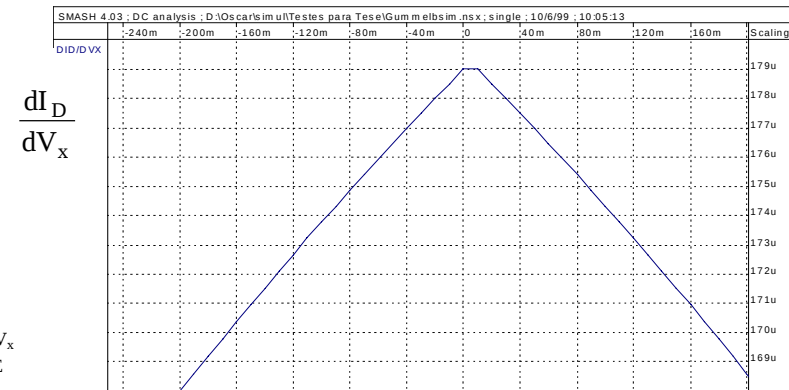
- ◆ Expresiones para:
 - cargas,
 - parámetros de pequeña señal,
 - capacidades intrínsecas
- ◆ Compacto: tres parámetros principales: n , V_{T0} , β
- ◆ Físico
- ◆ Simétrico

II. Modelo ACM, simetría en torno a $V_{DS} = 0$

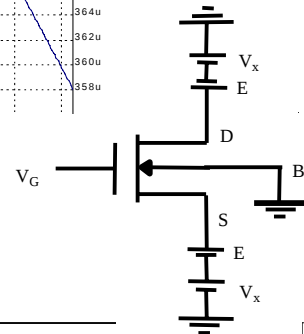
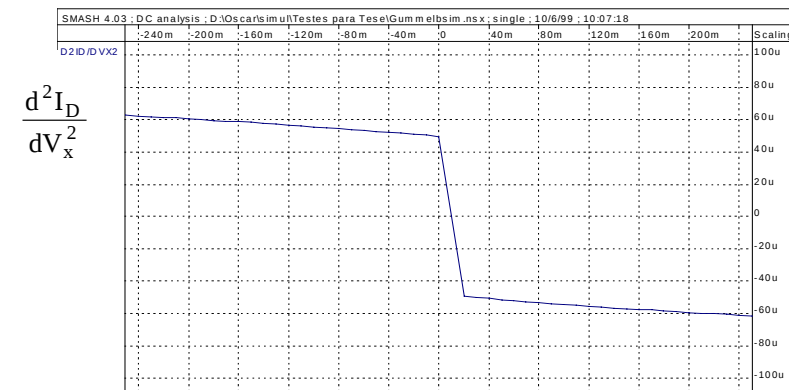
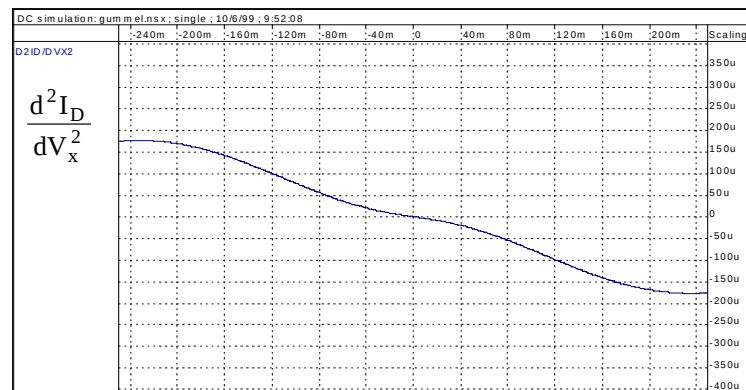
(From C. Galup-Montoro, Iberchip course 2001, Montevideo)



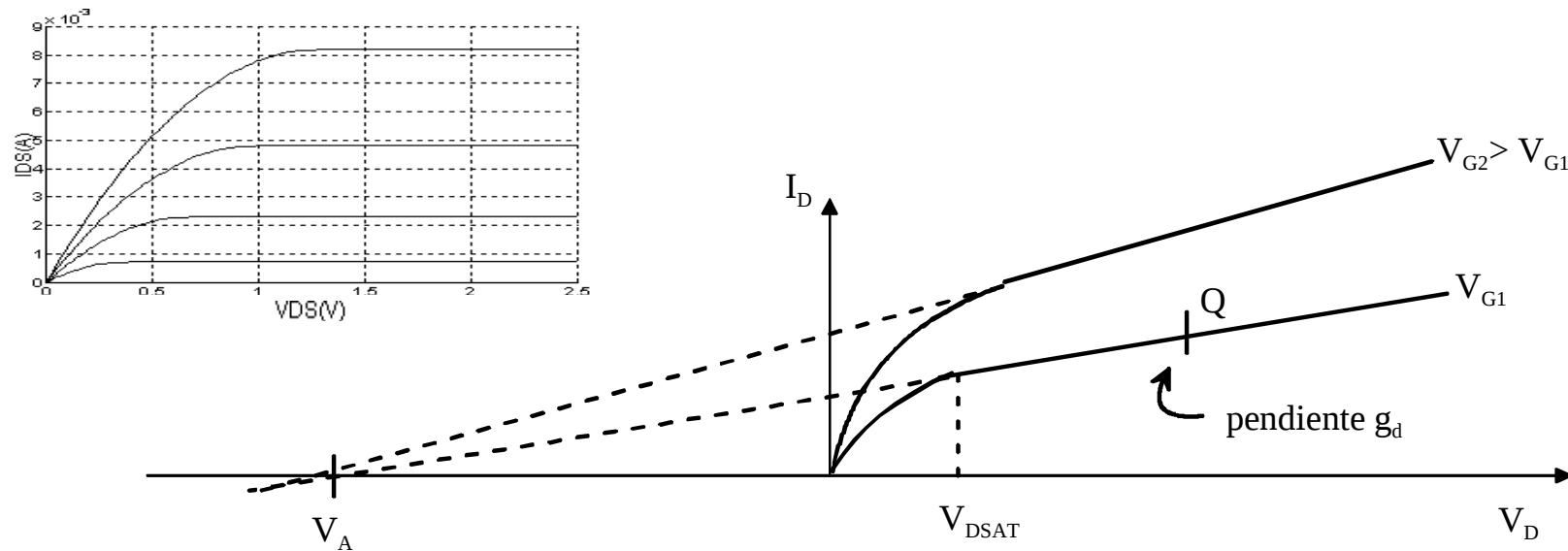
ACM



BSIM 3v3



II. Efecto modulación largo del canal (Early)



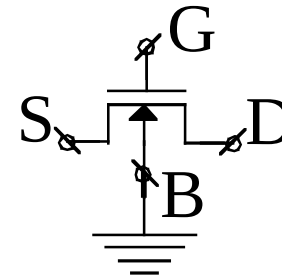
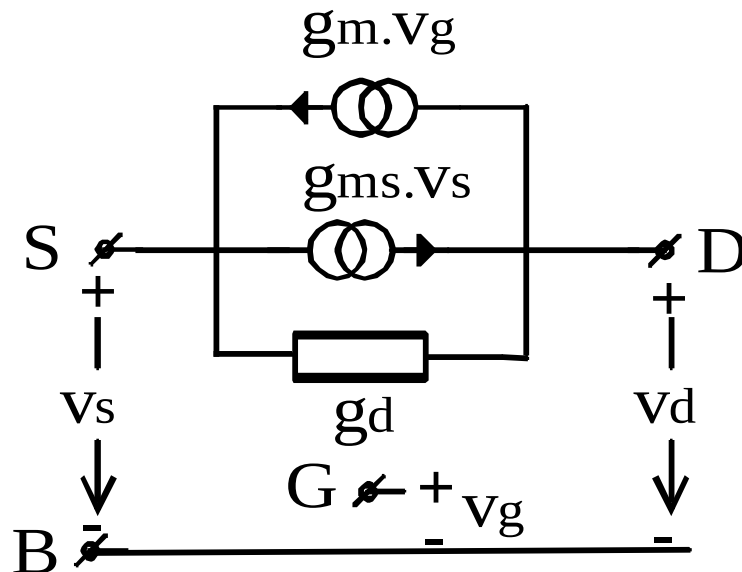
V_A : tensión de Early

- ◆ El transistor en saturación no es una fuente de corriente ideal, tiene una conductancia de salida $g_d \cong (I_D/V_A)$
- ◆ En primera aproximación $V_A \propto L$

Agenda

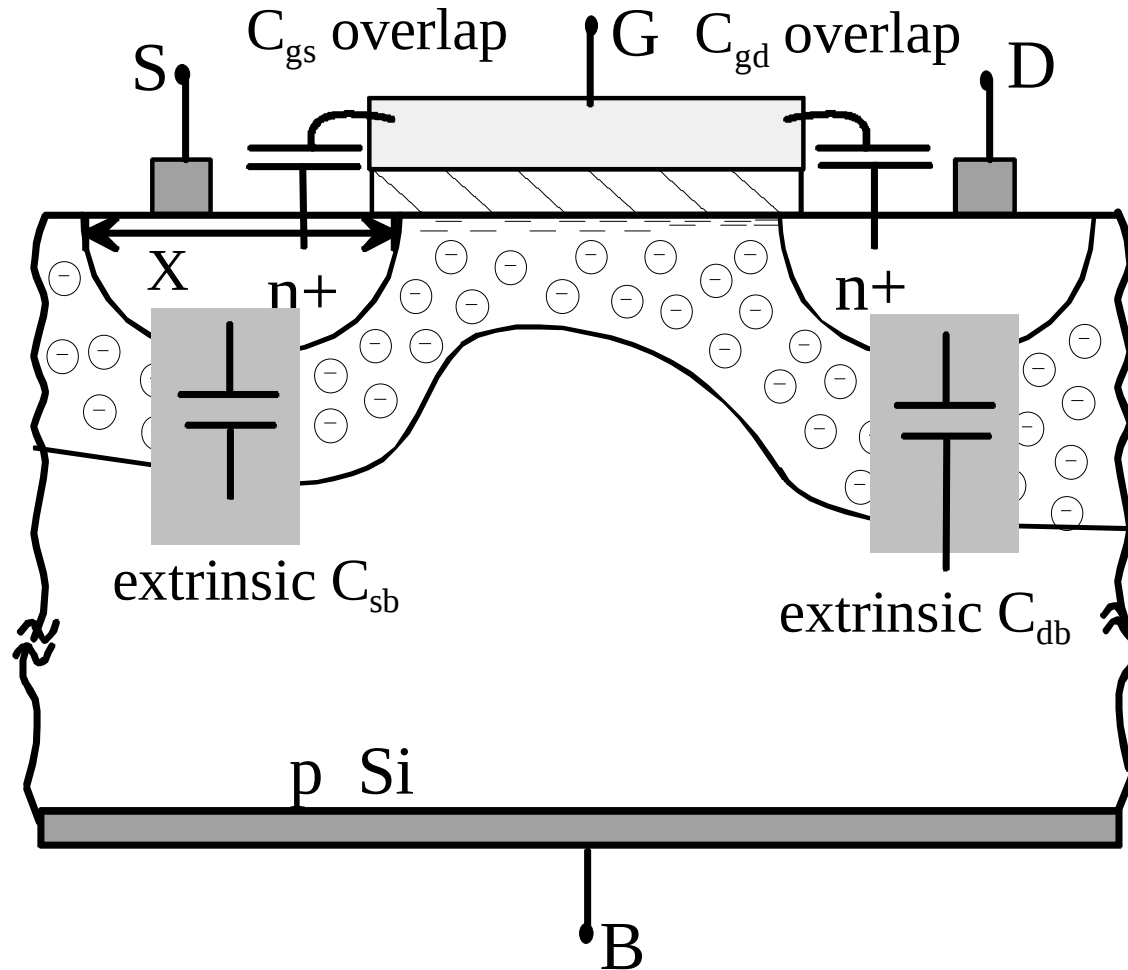
- ◆ I. Transistor MOS: Revisión de conceptos básicos.
- ◆ II. Transistor MOS: Modelado para diseño ULP.
- ◆ III. Transistor MOS: Modelo de pequeña señal.

III. Modelo de pequeña señal y baja frecuencia en saturación



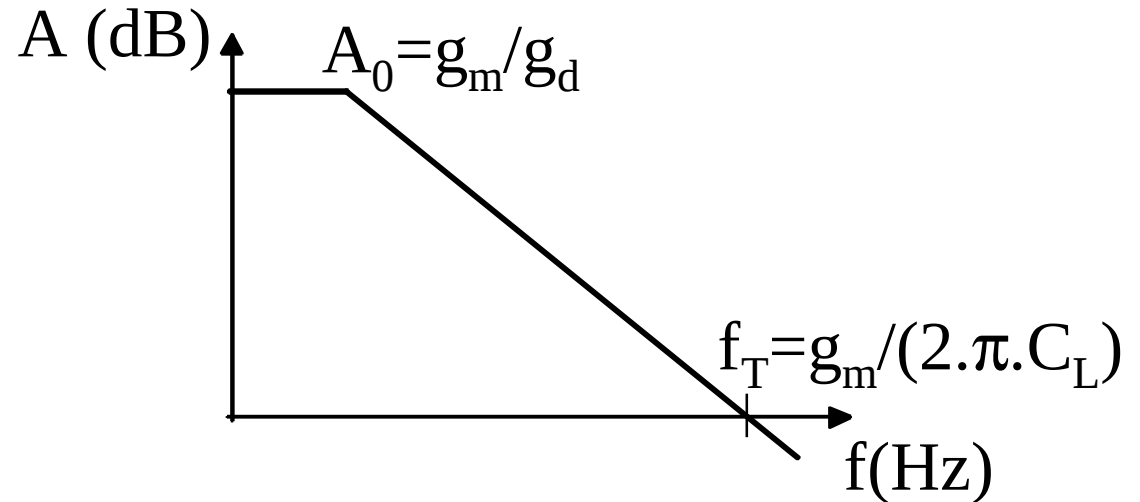
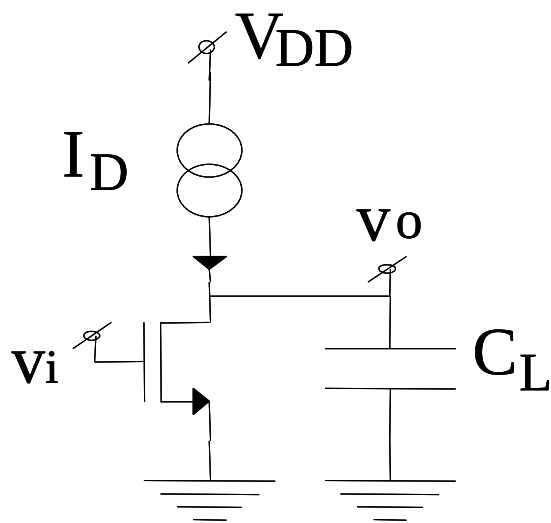
◆ $g_m = (\partial I_D / \partial V_G)$, $g_{ms} = n \cdot g_m$, $g_d \cong (I_D / V_A)$

III. Frecuencias medias => capacidades parásitas.



- Además **capacidades intrínsecas** (en la parte “interna” del transistor).
- **Capacidades intrínsecas** dependen del nivel de inversión y son **proporcionales a W.L.**
- **Capacidades extrínsecas** son **proporcionales a W.**

III. Amplificador MOS intrínseco



OTA: Operational Transconductance Amplifier

$$A_0 = g_m \cdot r_o = \frac{g_m}{g_d} = \frac{g_m}{I_D} \cdot V_A$$

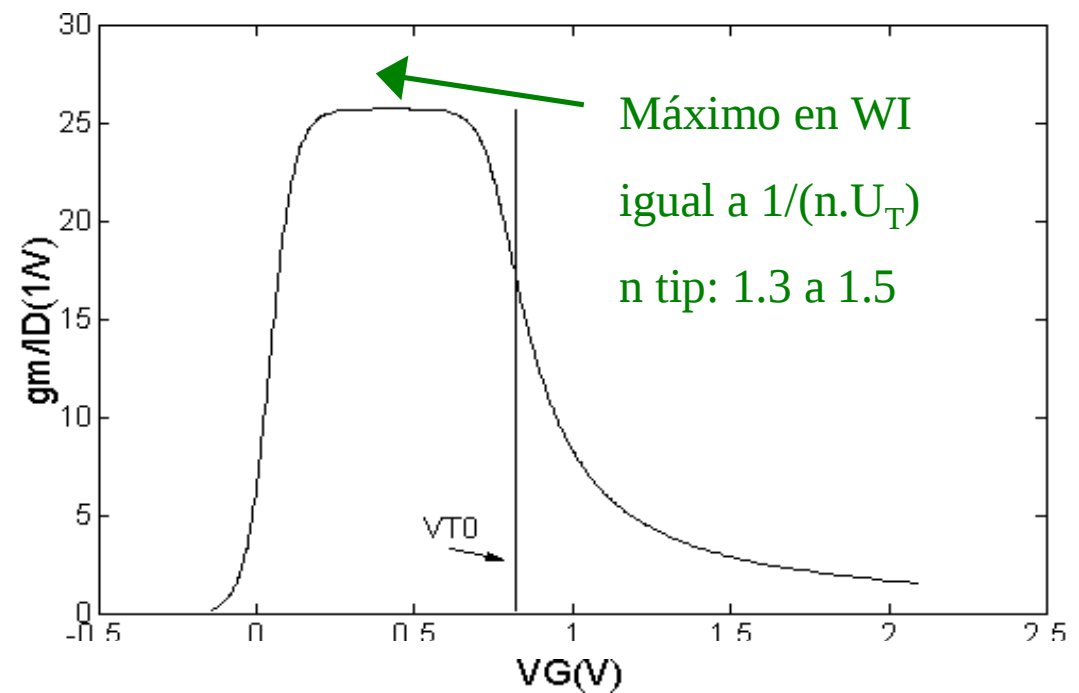
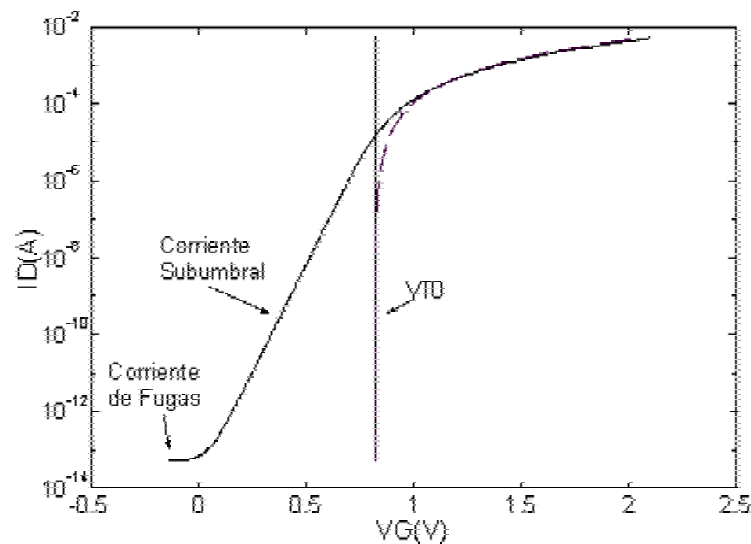
$$f_T = \frac{g_m}{2\pi C_L}, \quad A = \frac{A_0}{1 + \frac{s \cdot A_0}{2\pi f_T}}$$

- ◆ Consumo: I_D
- ◆ Compromiso velocidad consumo: g_m/I_D
- ◆ Resultados similares en amplificadores más complejos

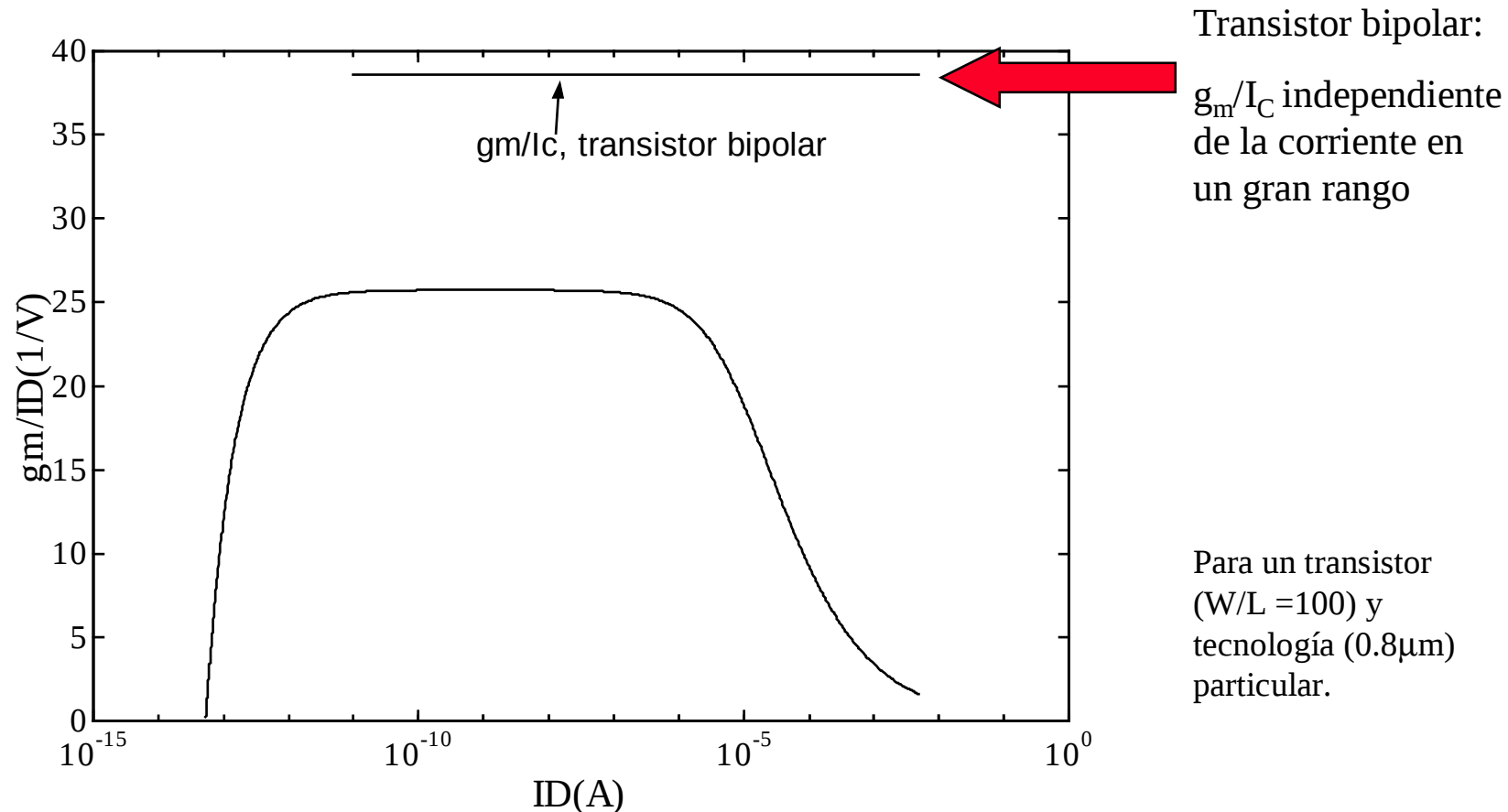
III. g_m/I_D vs. V_G

$$\frac{g_m}{I_D} = \frac{1}{I_D} \partial I_D / \partial V_G = \frac{\partial \log(I_D)}{\partial V_G}$$

- ◆ g_m/I_D es la pendiente de la característica I_D vs. V_G en escala logarítmica



III. g_m/I_D vs. I_D

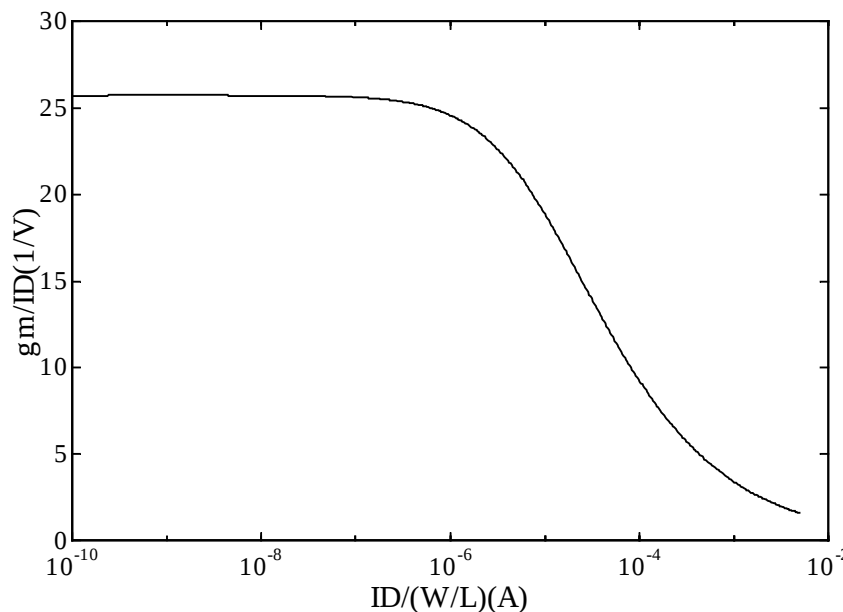


- ◆ A mayor corriente disminuye la “eficiencia de generación de g_m ”
- ◆ Para operar a la máxima frecuencia que permite la tecnología
=> alto g_m => alta corriente => inversión fuerte => baja eficiencia

III. g_m/I_D y el tamaño del transistor

Cuando efectos de canal corto no son significativos:

$$I_D = \mu C_{ox} (W/L) \cdot f(V_G, V_S, V_D) \quad \Rightarrow \quad \left(\frac{g_m}{I_D} \right) = f(I_{norm}) \quad I_{norm} = \frac{I_D}{(W/L)}$$



$$I_{norm} = \frac{I_D}{\mu C_{ox} (W/L)}$$

$$I_{norm} = i_f = \frac{I_D}{I_S}$$

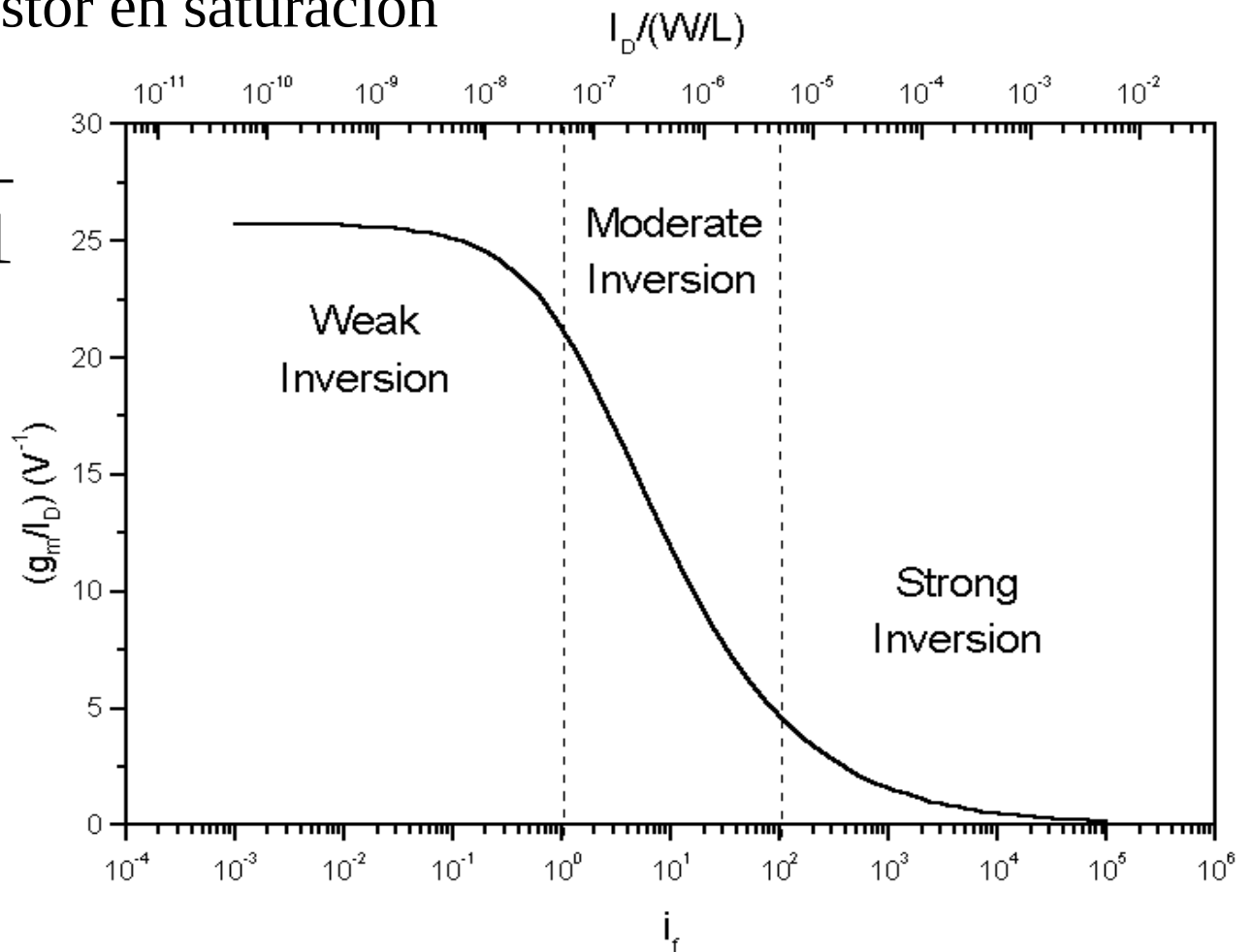
Cuando efectos de canal corto son significativos: $\left(\frac{g_m}{I_D} \right) = f(I_{norm}, L)$

III. g_m/I_D y el modelo ACM

◆ Modelo ACM, transistor en saturación

$$\frac{g_m}{I_D} = \frac{1}{n\phi_t} \frac{2}{\sqrt{1+i_f} + 1}$$

$$\frac{I_D}{W/L} = \frac{1}{2} \mu n C_{ox} \phi_t^2 i_f$$

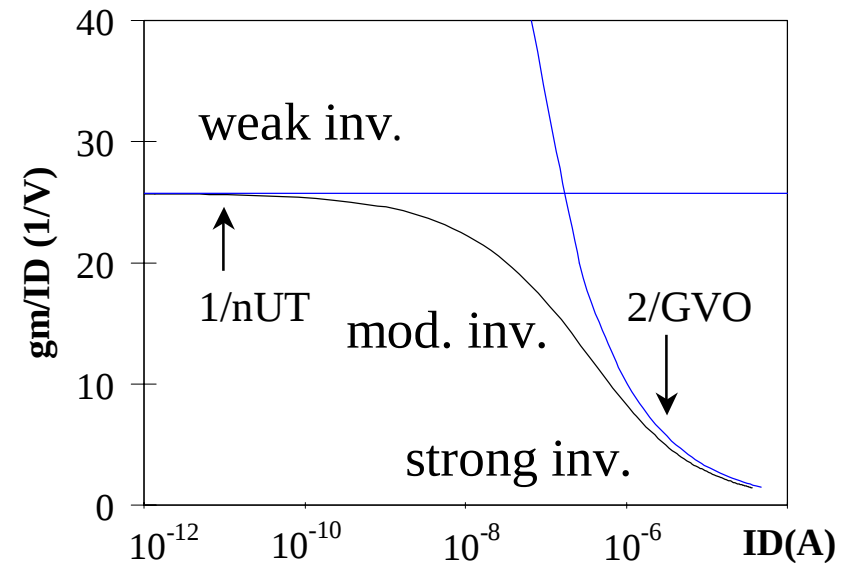
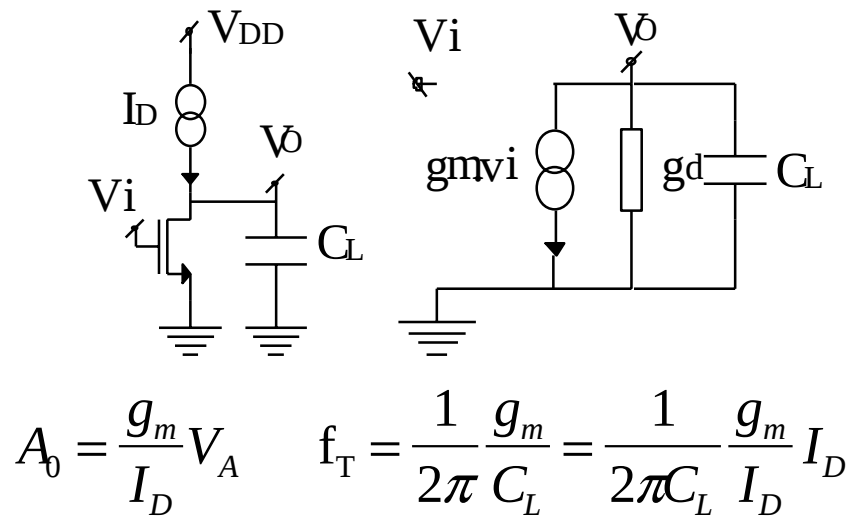


III. Resumen ecuaciones principales

	Inversión Débil	Modelo General	Inversión Fuerte
$I_D = f(V_G, V_S)$	$I_D \propto e^{\frac{V_G - nV_S}{n \cdot U_T}}$	$V_P - V_S = U_T \left[\sqrt{1 + i_f} - 2 + \ln(\sqrt{1 + i_f} - 1) \right]$ con $V_P = \frac{V_G - V_{T0}}{n}$, $i_f = \frac{I_D}{I_S}$, $I_S = \frac{1}{2} n \cdot \beta \cdot U_T^2$	$I_D = \frac{1}{2} n \cdot \beta \cdot (V_P - V_S)^2 =$ $\frac{1}{2n} \beta (V_G - V_{T0} - n \cdot V_S)^2$
g_m/I_D	$\frac{1}{n \cdot U_T}$	$\frac{g_m}{I_D} = \frac{1}{n \cdot U_T} \cdot \frac{2}{\sqrt{1 + i_f} + 1}$	$\sqrt{\frac{2 \cdot \beta}{n \cdot I_D}} = \frac{2}{V_G - V_{T0} - n \cdot V_S}$
V_{DSSAT}	$\approx 4 \cdot U_T$	$V_{DSsat} \cong U_T \left[\sqrt{1 + i_f} + 3 \right]$	$V_{DSsat} = V_P - V_S = \frac{V_G - V_{T0}}{n} - V_S$ $\Rightarrow V_{Dsat} = V_{DSsat} + V_S =$ $= V_P = \frac{V_G - V_{T0}}{n}$

III. Metodología de diseño:

g_m/I_D variable clave [Silveira, Flandre, Jespers, IEEE JSSC 1996]



Desempeño de los circ. ↔ g_m / I_D ↔ **Modo de operación del trans.**

Dimensionado del transistor $\left(\frac{g_m}{I_D} \right) = f(I_{norm}) \quad I_{norm} = \frac{I_D}{(W / L)}$

$$I_D = \mu C_{ox} (W/L) \cdot f(V_G, V_S, V_D) \rightarrow$$

$$I_{norm} = \frac{I_D}{\mu C_{ox} (W / L)}$$

III. Conclusiones: Modelado Transistor MOS para Bajo Consumo

- ◆ El diseño analógico depende críticamente en las características del dispositivo.
- ◆ El diagrama de Memelink / Jespers es una herramienta muy práctica para el análisis del comportamiento del transistor MOS.
- ◆ Existen aplicaciones en que cada nA de consumo cuenta => es vital aprovechar al máximo las posibilidades del dispositivo.
- ◆ La metodología gm/ID, junto a un modelo adecuado de transistor o medidas, permite explorar el espacio de diseño.

Muchas Gracias !