

Generador de Tensión de polarización

1.1 Descripción

La tensión de polarización se extrae de una referencia de corriente comúnmente atribuida a Widlar [1, 2]. La primera referencia de implementación CMOS utilizando el modelado sub-umbral fue presentada por E. Vittoz y J. Fellrath [3]. La principal ventaja de este circuito es la posibilidad de obtener corrientes relativamente bajas con valores de resistencias razonables para la integración.

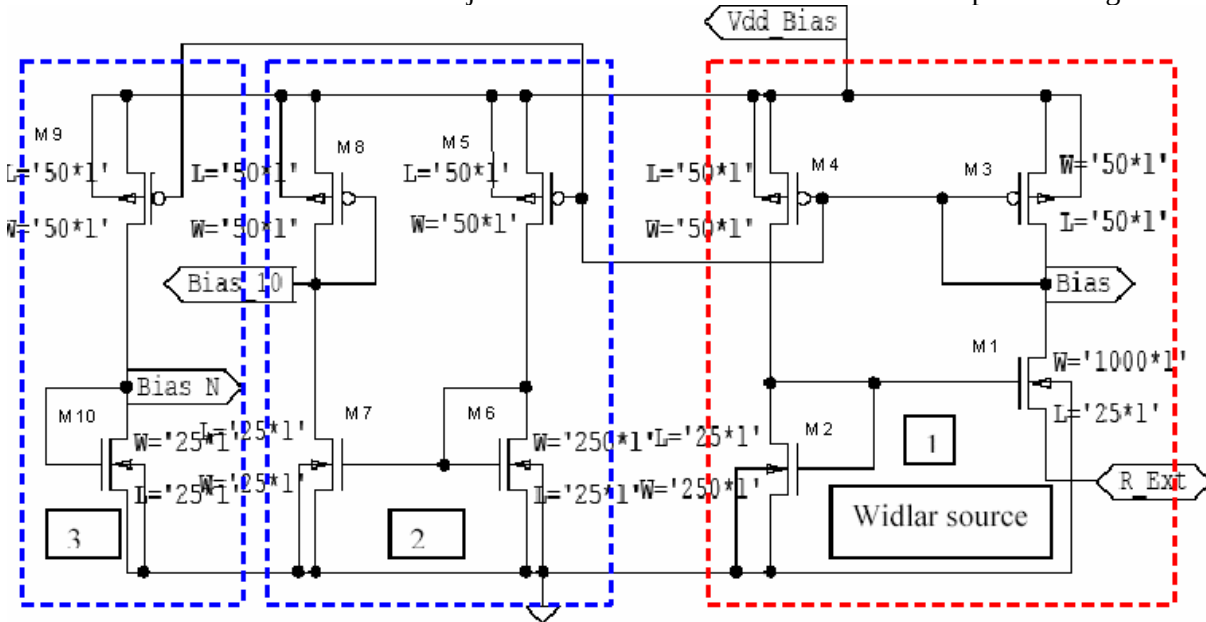


Figura 1 : circuito del generador de polarización

1.1.1 Fuente Wildar

Los transistores M1 y M2 tienen una relación de ganancia $\frac{W_1}{L_1} / \frac{W_2}{L_2} = M$. Las corrientes por las ramas son forzadas a ser iguales por el espejo de corriente formado por M3 y M4. Entonces, la relación de las densidades de corriente en los transistores M1 y M2 establece una diferencia en las tensiones gate-source, la cual se refleja en la tensión sobre la resistencia R. El valor de la resistencia R y la ganancia M determinan el valor de la corriente de referencia.

1.1.2 Escalado de Corriente

Tomando la tensión del nodo Bias, que une los transistores del espejo de corriente {M3 M4}, se tiene la tensión de polarización para transistores P. En el circuito del ejemplo, el transistor M5 es igual al M3; por lo que la corriente que ingresa al espejo formado por M6 y M7 es la corriente de referencia. Dependiendo de la relación $\frac{W_6}{L_6} / \frac{W_7}{L_7}$ se puede tener una corriente mayor o menor que la referencia. Copiando la corriente sobre un espejo N que tiene una relación 1/10, se obtiene la tensión para polarizar transistores P con una corriente 10 veces menor a la de referencia.

1.1.3 Polarización para transistores N

La tensión que se utiliza para la polarización de los transistores tipo N, se toma de una copia de la corriente de referencia a través de un transistor N en conexión tipo diodo.

1.2 Análisis y diseño de la fuente

Para el diseño de las fuentes se consideran los transistores en dos regiones de funcionamiento: por encima del umbral y por debajo del umbral.

La tensión que se utiliza para la polarización de los transistores tipo N, se toma de una copia de la corriente de referencia a través de un transistor N en conexión tipo diodo.

Para ambos modelos se cumplen las siguientes ecuaciones de mallas:

$$V_{gs2} = V_{gs1} + I_1 * R \quad (1.1)$$

$$I_1 = I_2 \quad (1.2)$$

Para llegar a la ecuación (1.2) se está suponiendo que el espejo de corriente P está perfectamente apareado y no introduce diferencias de corrientes.

1.2.1 Modelo Inversión fuerte

La corriente en un transistor MOS en saturación, despreciando efectos de sustrato y longitud de canal, se puede expresar como:

$$I_d = SK'(V_{ov})^2 \quad (1.3)$$

Donde S es la relación de aspecto W/L , $K' = \frac{\mu \cdot Cox}{2}$ siendo μ la movilidad de portadores y Cox la capacidad del óxido. La tensión de 'over drive' es $V_{ov} = (V_{gs} - V_{tho})$, donde Vtho es la tensión de umbral.

Usando (1.1), (1.2), (1.3) y operando algebraicamente obtenemos:

$$I_1 = S_1 K_n' (V_{gs1} - V_{tho})^2 = S_2 K_n' (V_{gs1} + I_1 * R - V_{tho})^2 = I_2 \quad (1.4)$$

recordando que $\frac{W_1}{L_1} / \frac{W_2}{L_2} = \frac{S_1}{S_2} = M$, y despejando la corriente, llegamos a:

$$I = \left(1 - \frac{1}{\sqrt{M}}\right)^2 \frac{1}{R^2} \frac{1}{S_2 K_n'} \quad (1.5)$$

Se destaca que la corriente es inversamente proporcional al cuadrado de la resistencia.

1.2.2 Modelo Inversión débil

En este caso, la corriente del dispositivo se puede expresar como:

$$I \approx I_o S e^{\frac{1}{n} \frac{V_{gs}}{U_T}} \quad (1.6)$$

donde I_o es la corriente de apagado del dispositivo, n el factor de pendiente y $U_T = \frac{kT}{q}$, la tensión térmica.

Utilizando (1.1), (1.2), pero utilizando la expresión de inversión débil (1.6), se llega a la siguiente ecuación:

$$I = \log(M) \frac{U_T}{R} n \quad (1.7)$$

si calculamos la tensión sobre la resistencia, obtenemos:

$$V_r = \log(M) U_T n \quad (1.8)$$

En este caso la corriente es inversamente proporcional a la resistencia. Además se destaca que la tensión sobre la resistencia depende solamente de la ganancia M , el factor de pendiente y de la tensión térmica.

1.2.3 Gráficos de las corrientes

En la figura se presentan las curvas de salida de la fuente, según los modelos utilizados. También se pueden apreciar las corrientes críticas de los transistores que forman la fuente Widlar.

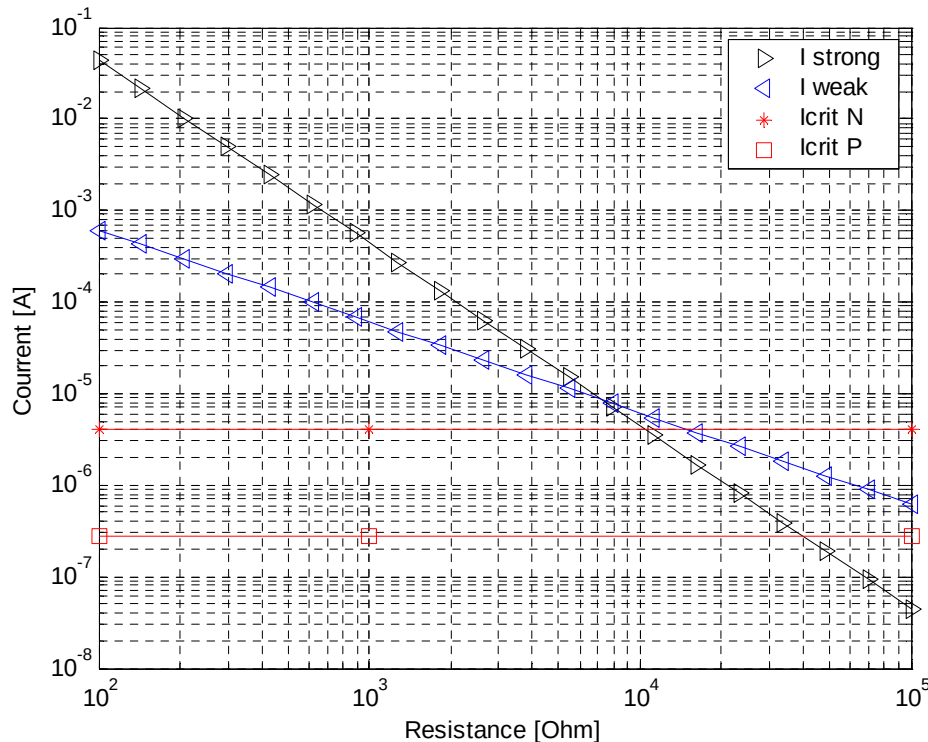


Figura 2 : Corrientes de la fuente.

1.3 Implementación del circuito

1.3.1 Parámetros eléctricos

Este circuito está implementado en tecnología AMIS C5, $\lambda=0.3 \mu\text{m}$ a través de Mosis. El chip fue incluido en la corrida T33A, y los parámetros eléctricos más destacables son*:

Parámetro	Tipo N	Tipo P	Unidad
$K' (U_0 \cdot C_{ox}/2)$	56,3	-18,2	$\mu\text{A}/\text{V}^2$
V_{th}	0,68	-0,96	Volts
I_{square}	100	28	nA
N	1,7661	1,7729	-

*Los dos primeros parámetros de la corrida son provistos por MOSIS y los dos segundos se obtuvieron experimentalmente.

Los parámetros sub-umbral no son proporcionados por mosis y para obtenerlos se deben realizar caracterizaciones. En particular estos valores fueron medidos sobre esta corrida ya que se dispusieron de transistores para tal fin.

Otros parámetros de utilidad para desarrollo de este laboratorio son:

Parámetro		Unidad
U_t	0.025	Volts
$\frac{W_1}{L_1} = S_1$	40	-
$\frac{W_2}{L_2} = S_2$	10	-
$\frac{S_1}{S_2} = M$	4	-

Valores de Resistencias:

100	150	210	300	450	620	890	1200	1800	2600
3700	5450	7850	11200	16240	23000	33500	48300	69500	100000

1.3.2 Layout de circuito

En la figura 2 se puede apreciar el layout del circuito implementado.

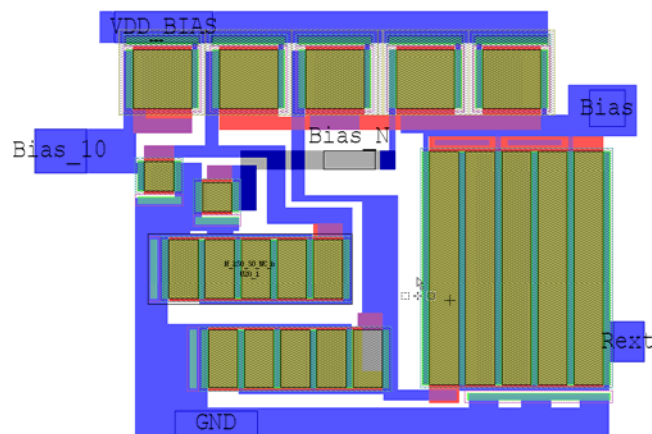


Figura 2 : Layout del generador de polarización.

1.4 Descripción de Entradas/Salidas

Este circuito tiene conectadas sus salidas a través de pads analógicos. Estos sólo están compuestos por transistores en conexión diodo para la protección contra ESD.

1.5 Circuito de prueba

Para la medición de la fuente de corriente se usará el siguiente circuito, el cual permite realizar diferentes conexiones del circuito. Para la prueba se conecta una resistencia variable en la entrada R_Ext (Pin 37). Dicha resistencia consiste en una combinación de resistencias fijas y variables, que en función de la posición de los jumpers J1 y J2, permiten obtener un rango de variación de 100Ω a $100k\Omega$ (tres décadas).

La jumper J3 conecta directamente la fuente a la alimentación del chip. La tensión Vdd_Bias está disponible a través del punto de medida homónimo

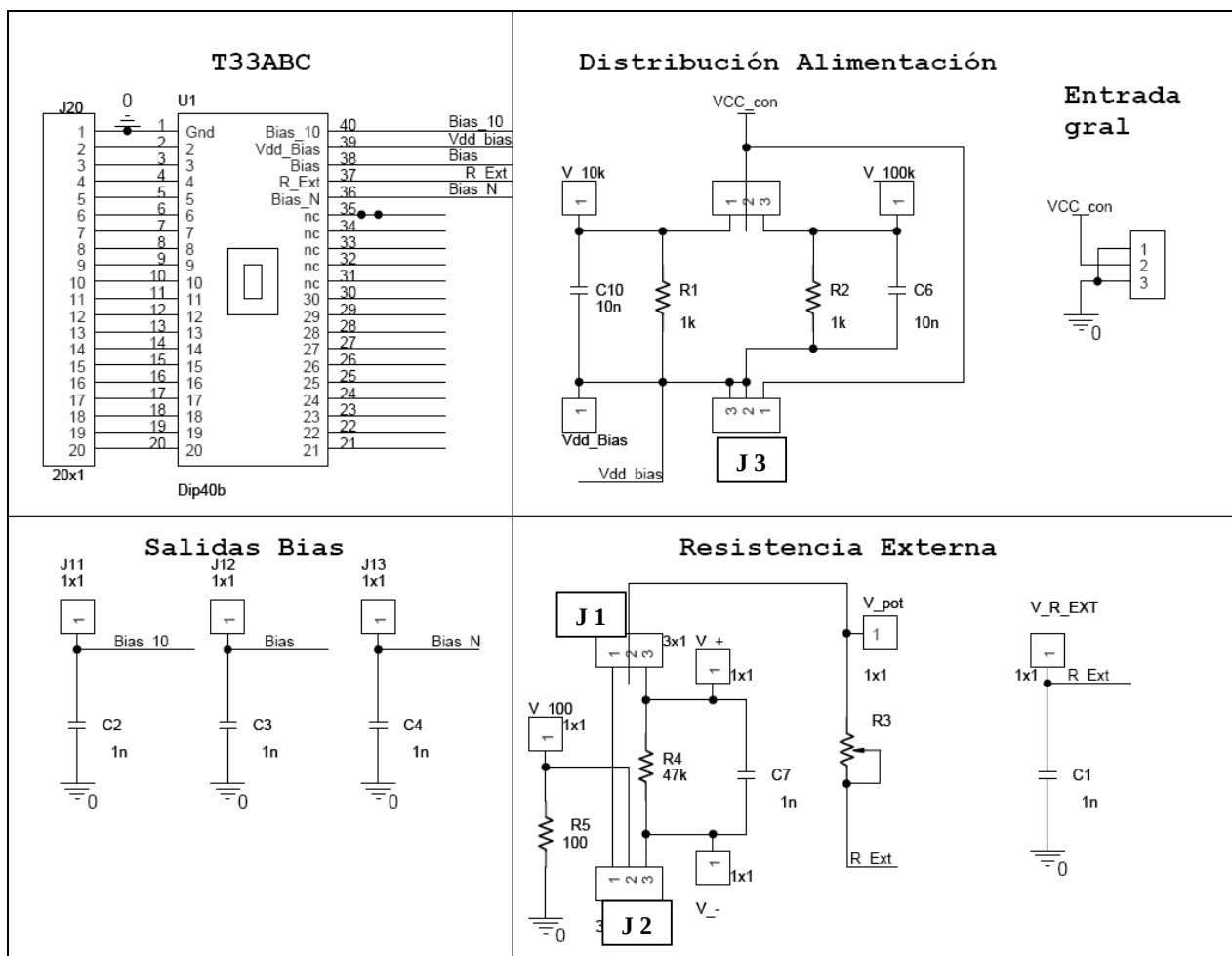


Figura 3 : Circuito de la placa de prueba.

El chip está montado sobre una placa con los principales puntos de medida detallados. En la figura 4 se puede ver el diagrama de la placa.

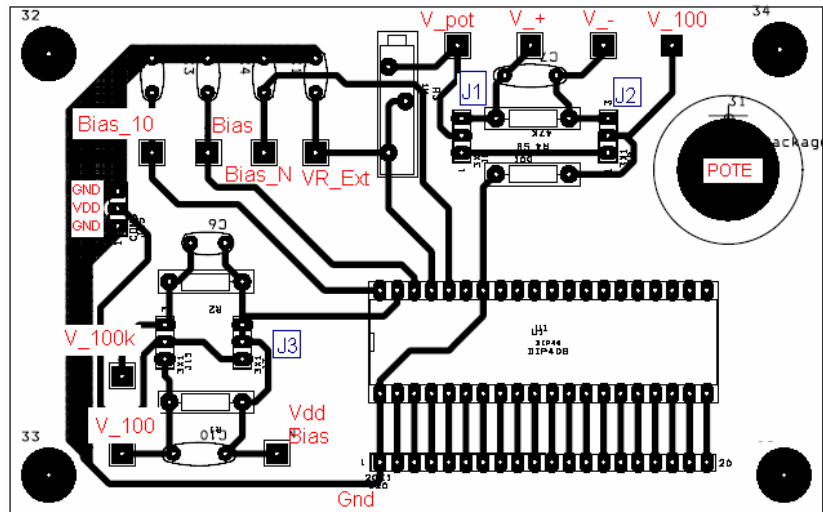


Figura 4 : Diagrama de la placa de prueba.

1.6 Medición

El ensayo consiste obtener la curva de variación de la corriente en función de la resistencia externa. Para tal fin, se deben medir dos parámetros sobre la resistencia: su valor y la tensión que se desarrolla sobre ella. Además se medirán las otras tensiones de salida del generador de polarización.

La tensión de alimentación a utilizar es de **5 V**. La fuente se conecta a través de los cables de alimentación.

1.6.1 Puntos de medida

La tensión sobre la resistencia se mide en el punto VR_Ext.

Las otras tensiones de salida se miden sobre los puntos Bias, Bias_N y Bias_10.

1.6.2 Operatoria recomendada

Para medir la resistencia se debe desconectar la fuente y medir sobre el mismo punto de medida, VR_Ext.

Es conveniente que los valores de resistencia sean tomados con una separación logarítmica entre ellos.

1.7 Resultados experimentales

Presentar un gráfico donde se vea la corriente medida y las corrientes predichas por las ecuaciones 1.5 y 1.7. Se recomienda utilizar una escala logarítmica para los valores de resistencias. En otro gráfico, presentar la corriente medida en función de la tensión Bias_N. Elaborar conclusiones.

1.8 Referencias

- [1] R. J. Widlar, "Design techniques for monolithic operational amplifiers," *IEEE Journal State Circuits*, vol. SC-4, pp. 184-191, 1969.
- [2] R. J. Widlar, "Some circuit design techniques for linear integrated circuits," *IEEE Transactions on Circuit Theory*, vol. CT-12, pp. 586-590, 1965.
- [3] E. Vittoz and J. Fellrath, "CMOS analog integrated circuits based on weak inversion operation," *IEEE Journal of Solid-State Circuits*, vol. 12, pp. 224-231, 1977.