

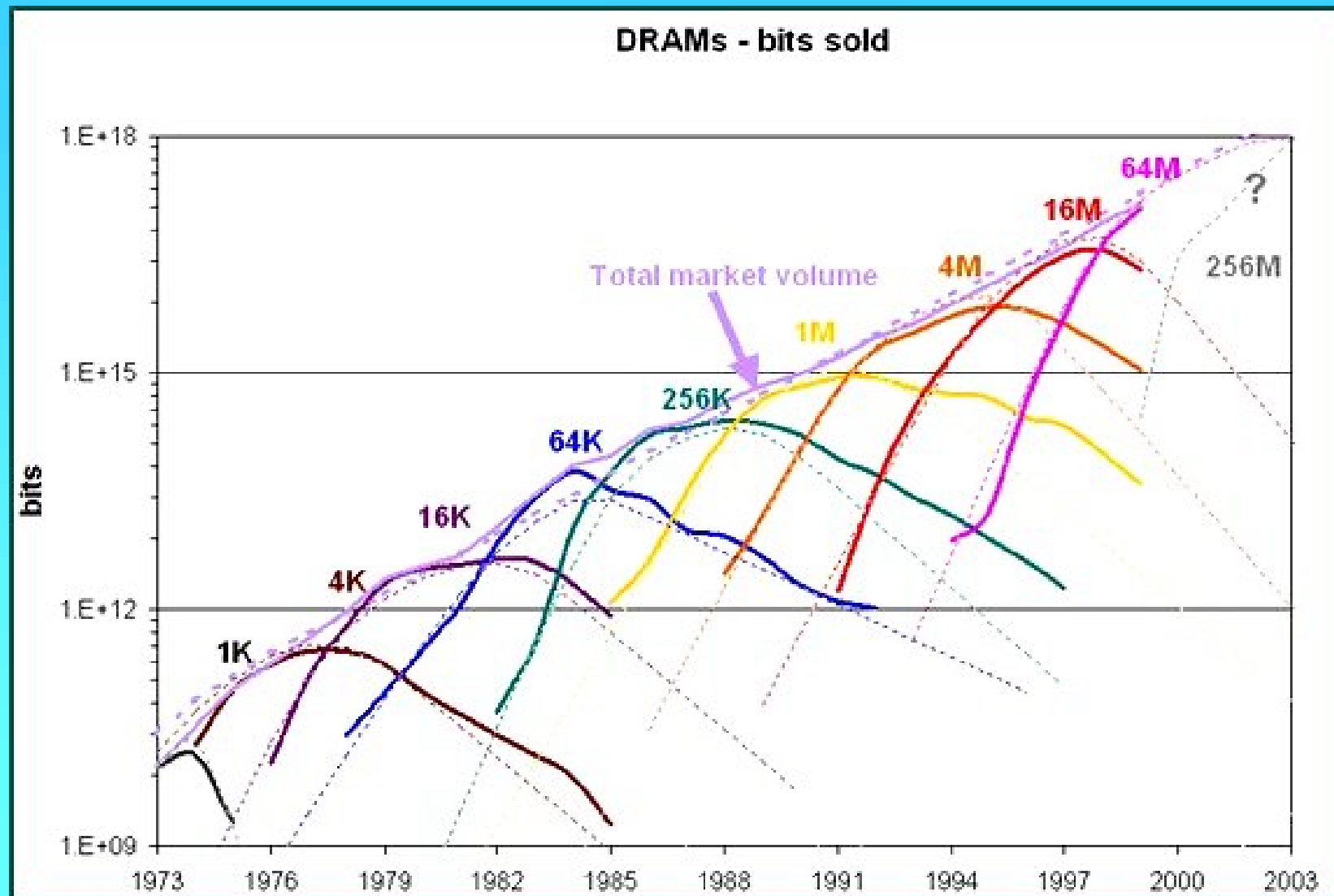
Scaling down El ITRS roadmap límites físicos y dificultades tecnológicas

Adrián Faigón

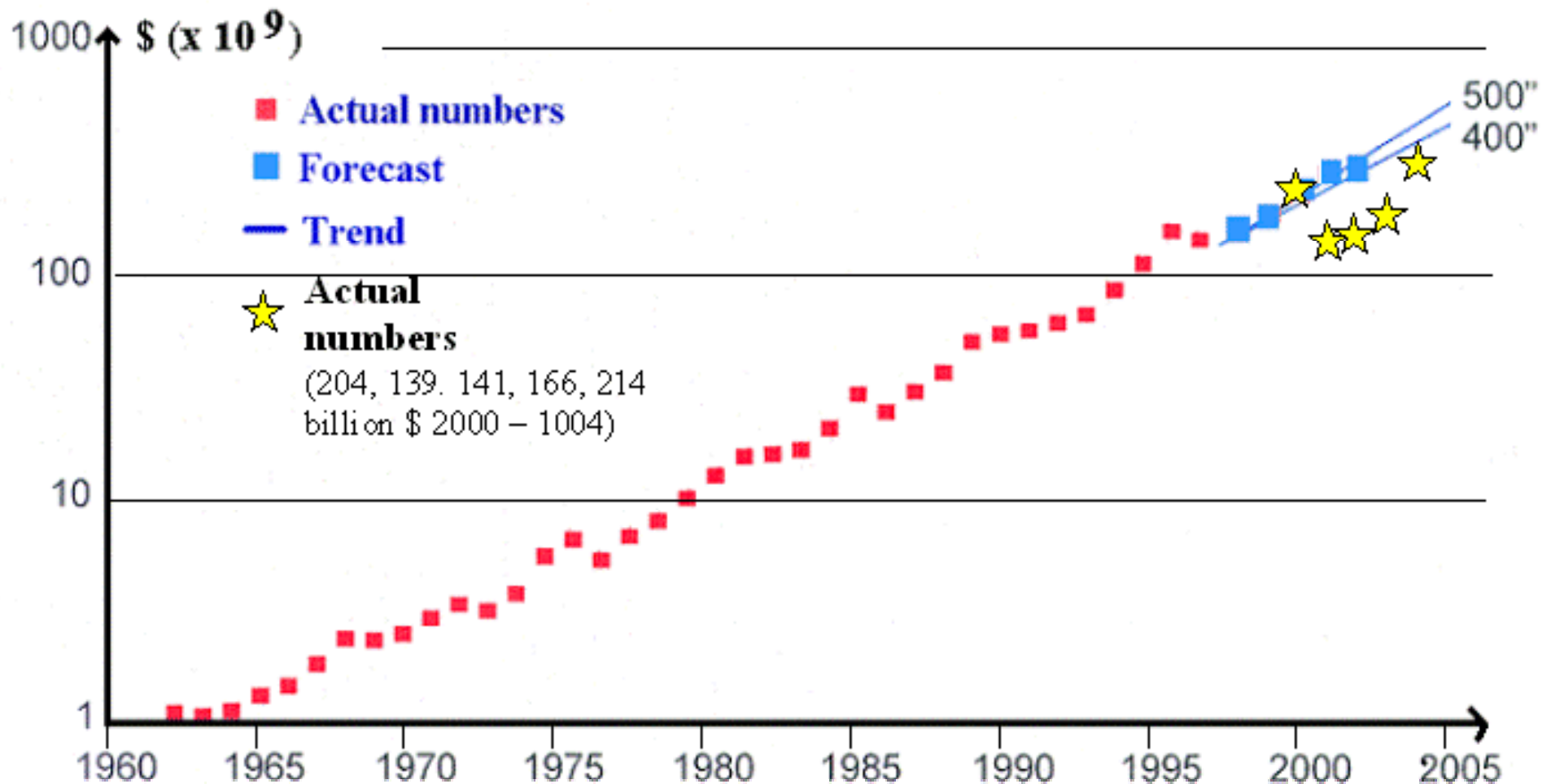
Laboratorio Física de Dispositivos-Microelectrónica

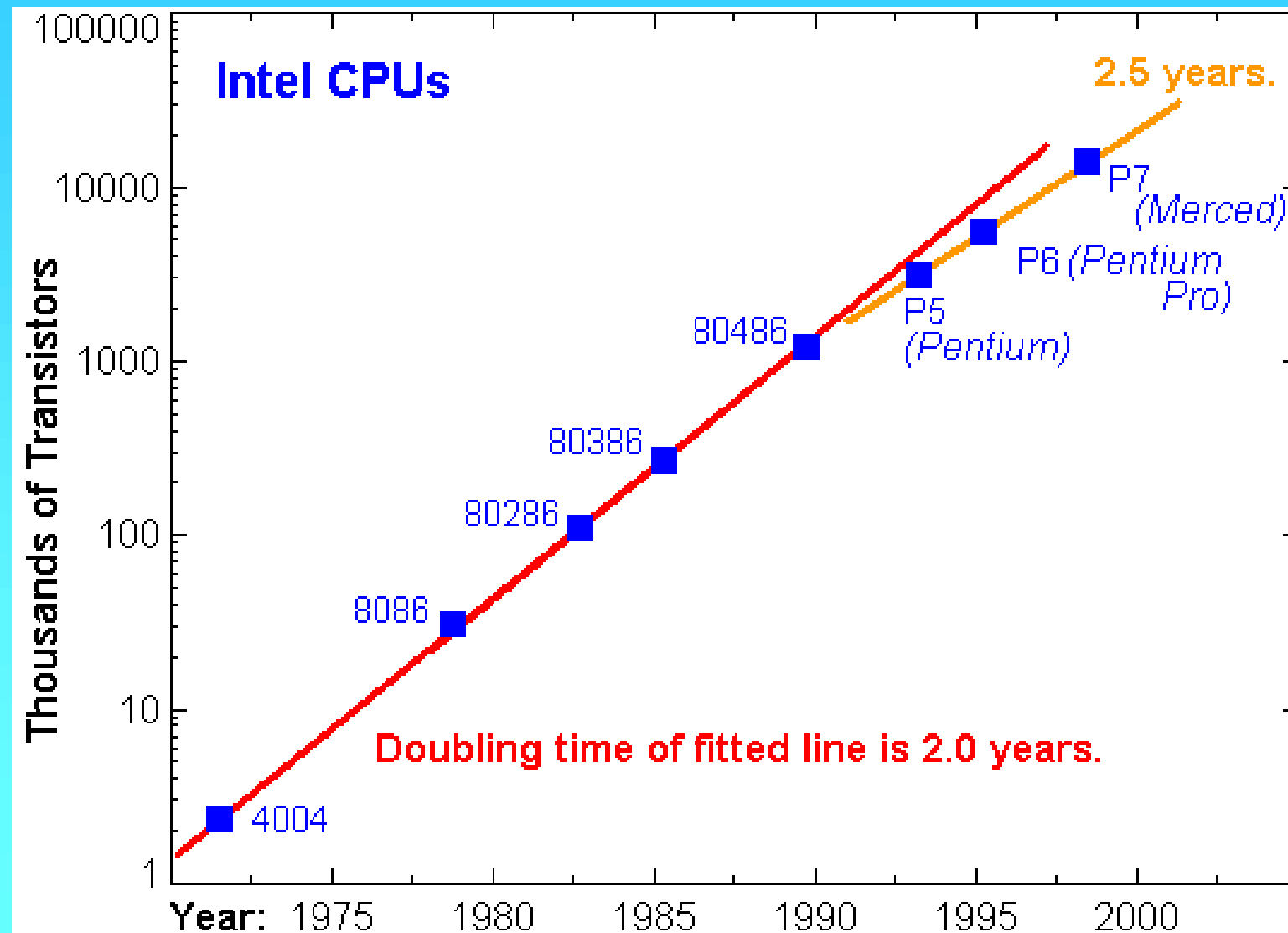
Dpto Física-Fac de Ingeniería
Universidad de Buenos Aires

Total bits vendidos

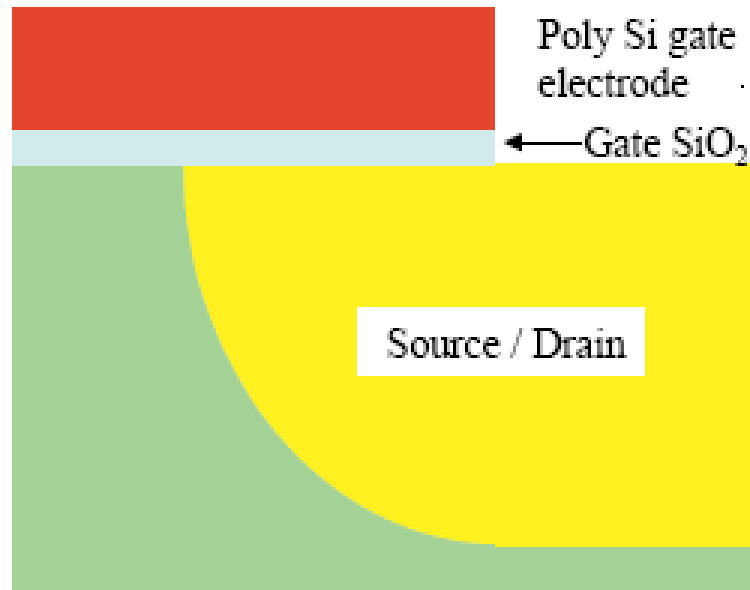
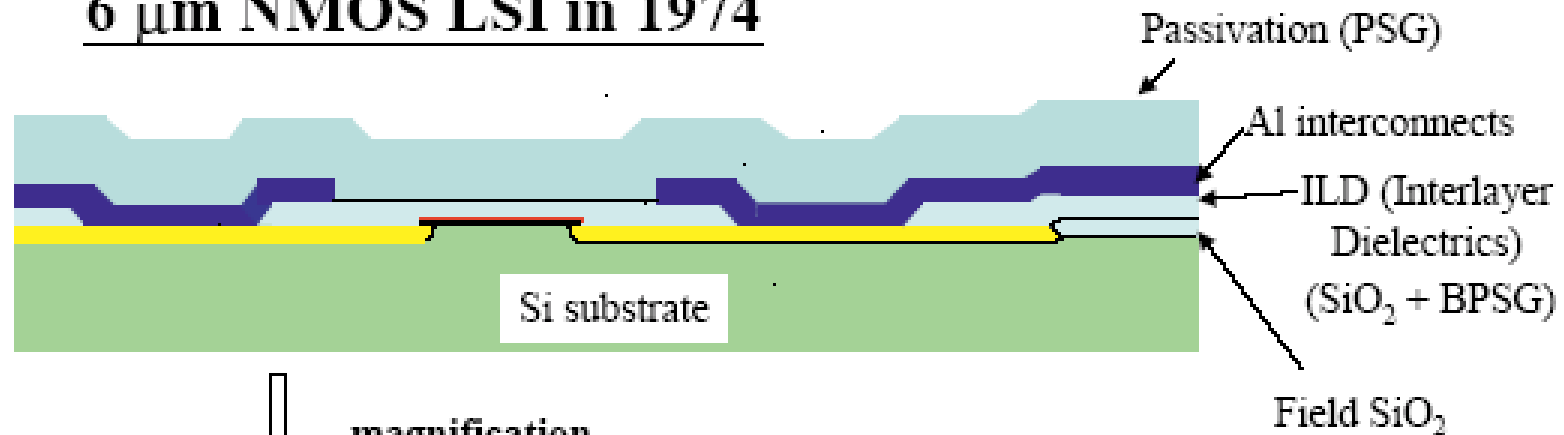


Total ventas IC's





6 μm NMOS LSI in 1974



Layers

Si substrate

Field oxide

Gate oxide

Poly Si gate electrode

Source/Drain diffusion

Interlayer dielectrics

Aluminum interconnects

Passivation

Materials

Si, SiO_2

BPSG

PSG

Al

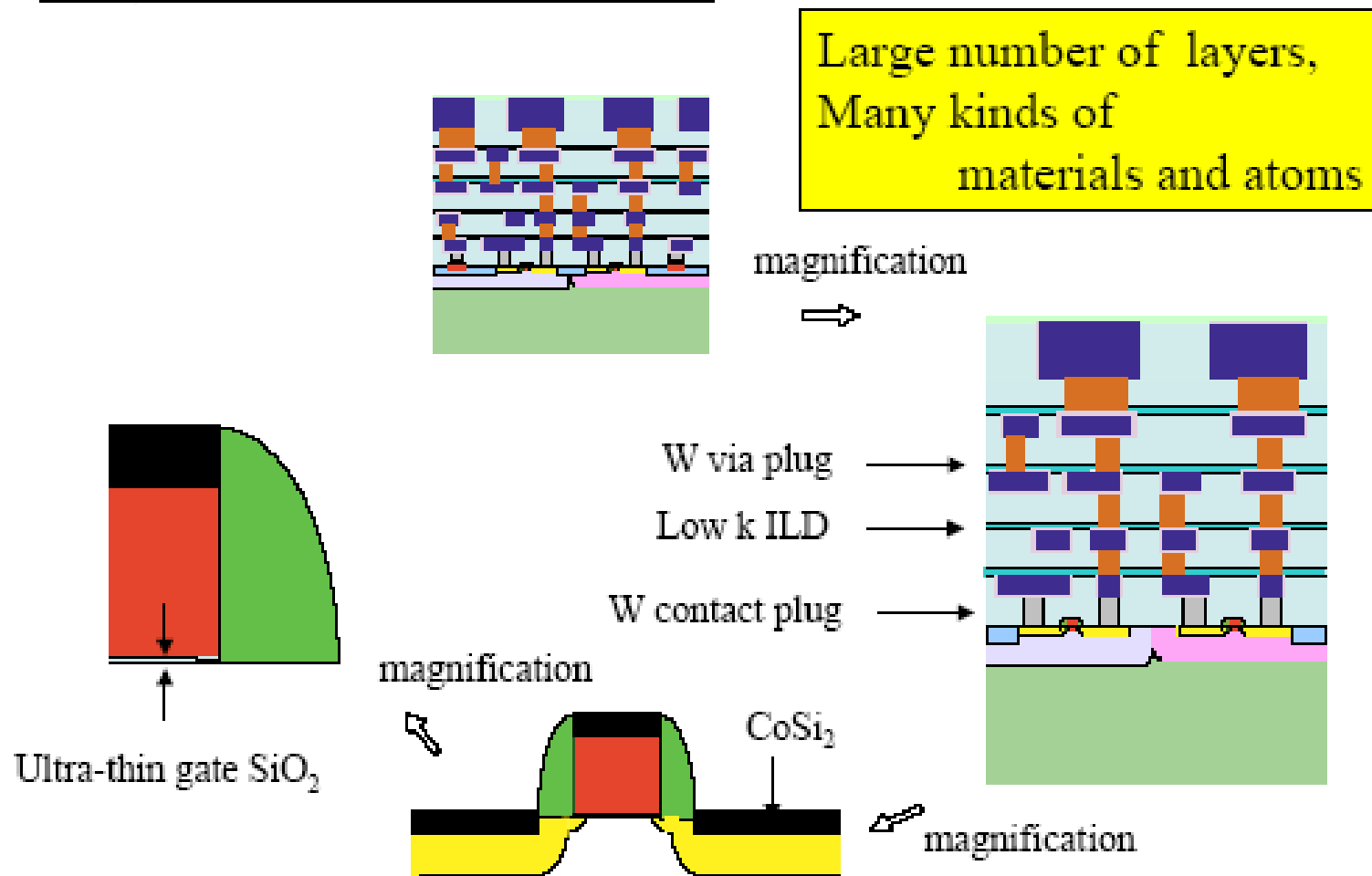
Atoms

Si, O, Al,

P, B

(H, N, Cl)

0.1 μm CMOS LSI in 2001



INTERNATIONAL
TECHNOLOGY ROADMAP
FOR
SEMICONDUCTORS

2005 EDITION

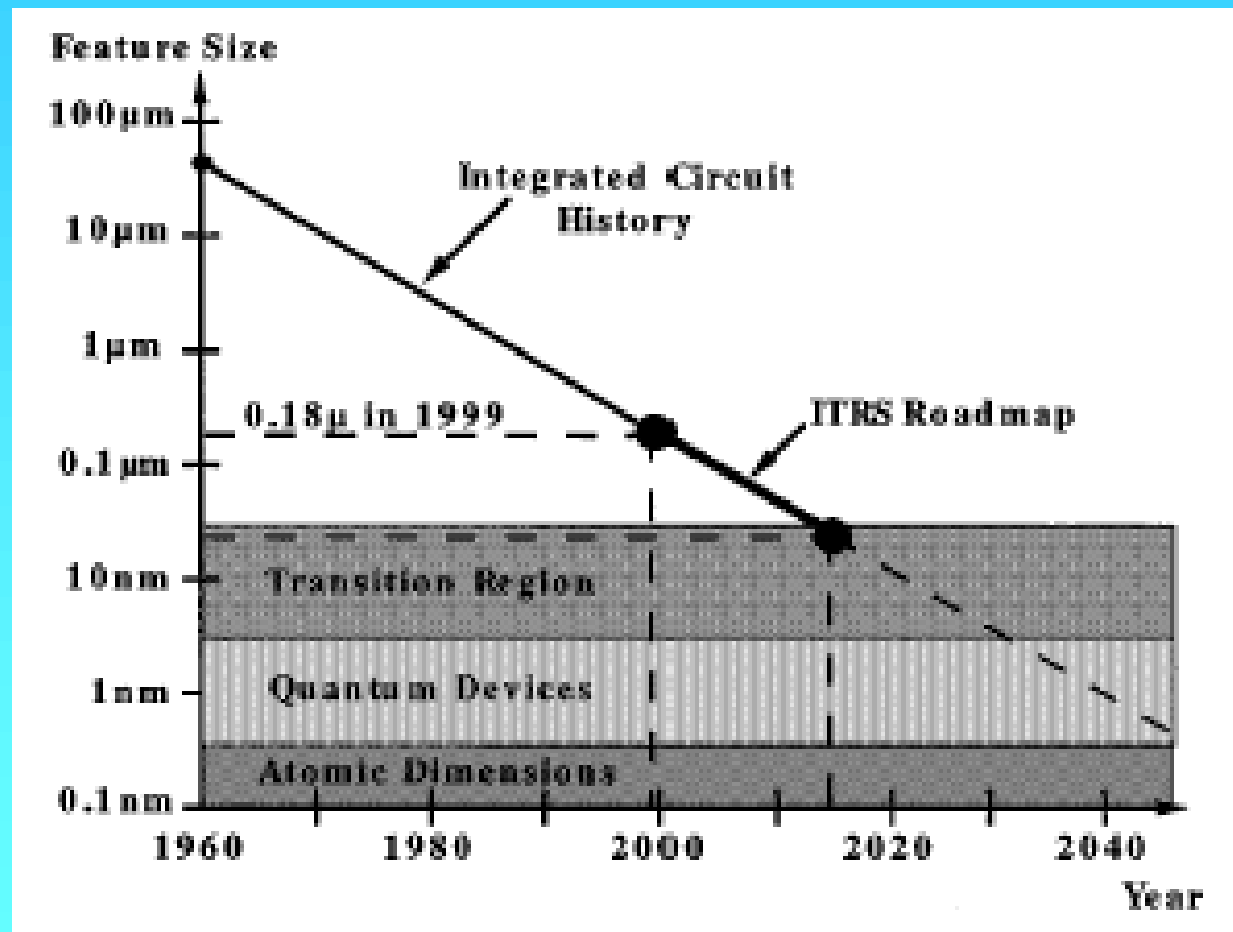
DIFFICULT CHALLENGES

Table ITWG 4 Process Integration Difficult Challenges

<i>Difficult Challenges ≥ 32 nm</i>	<i>Summary of Issues</i>
1. Scaling of MOSFETs to the 32 nm technology generation	Scaling planar bulk CMOS will face significant challenges due to the high channel doping required, band-to-band tunneling across the junction and gate-induced drain leakage (GIDL), stochastic doping variations, and difficulty in adequately controlling short channel effects. Implementation into manufacturing of new structures such as ultra-thin body fully depleted silicon-on-insulator (SOI) and multiple-gate (e.g., FinFET) MOSFETs is expected. This implementation will be challenging, with numerous new and difficult issues. A particularly challenging issue is the control of the thickness and its variability for these ultra-thin MOSFETs.
2. Implementation of high- κ gate dielectric and metal gate electrode in a timely manner	High κ and metal gate electrode will be required beginning in ~2008. Timely implementation will involve dealing with numerous challenging issues, including appropriate tuning of metal gate work function, ensuring adequate channel mobility with high-κ, reducing the defects in high-κ to acceptable levels, ensuring reliability, and others.
3. Timely assurance for the reliability of multiple and rapid material, process, and structural changes	Multiple changes are projected over the next decade, such as: - Material: high-κ gate dielectric, metal gate electrodes by 2008 or so - Process: elevated S/D (selective epi) and advanced annealing and doping techniques - Structure: ultra-thin body (UTB) fully depleted (FD) SOI, followed by multiple-gate structures. It will be an important challenge to ensure the reliability of all these new materials, processes, and structures in a timely manner.
4. Scaling of DRAM and SRAM to the 32 nm technology generation	DRAM main issues with scaling—adequate storage capacitance for devices with reduced feature size, including difficulties in implementing high-κ storage dielectrics; access device design; holding the overall leakage to acceptably low levels; and deploying low sheet resistance materials for bit and word lines to ensure desired speed for scaled DRAMs. Also, reducing the cell area factor in a timely manner is quite challenging. (Cell area factor = $a = \text{cell area}/F^2$, where F=DRAM half pitch). SRAM—Difficulties with maintaining adequate noise margin and controlling key instabilities and soft error rate with scaling. Also, difficult lithography and etch issues with scaling.
5. Scaling high-density non-volatile memory to the 32 nm technology generation	Flash—Non-scalability of tunnel dielectric and interpoly dielectric. Dielectric material properties and dimensional control are key issues. FeRAM—Continued scaling of stack capacitor is quite challenging. Eventually, continued scaling in 1T1C configuration. Sensitivity to IC processing temperatures and conditions. SONOS—ONO stack dimensions and material properties, including nitride layer trap distribution in space and energy MRAM—Magnetic material properties and dimensional control. Sensitivity to IC processing temperatures and conditions

Del ITRS 2005

Mapa de situación



Los límites físicos estrictos: cuántica

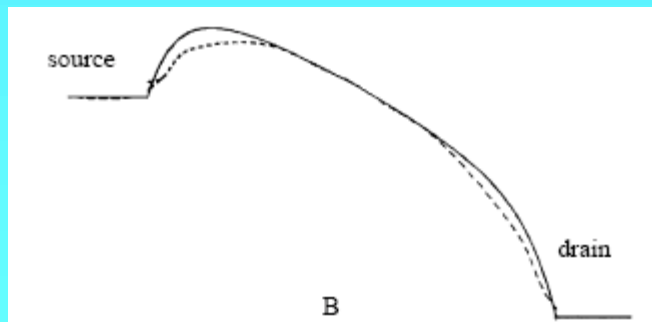
- Longitud de onda de deBroglie

$$\lambda_D = \sqrt{\frac{2\pi\hbar^2}{m^*k_B T}} = 4.3 \text{ nm a Tamb}$$

- El paquete de ondas

$$\delta r \sim \sqrt{\frac{3}{8}}\lambda_D \sim 0.61\lambda_D.$$

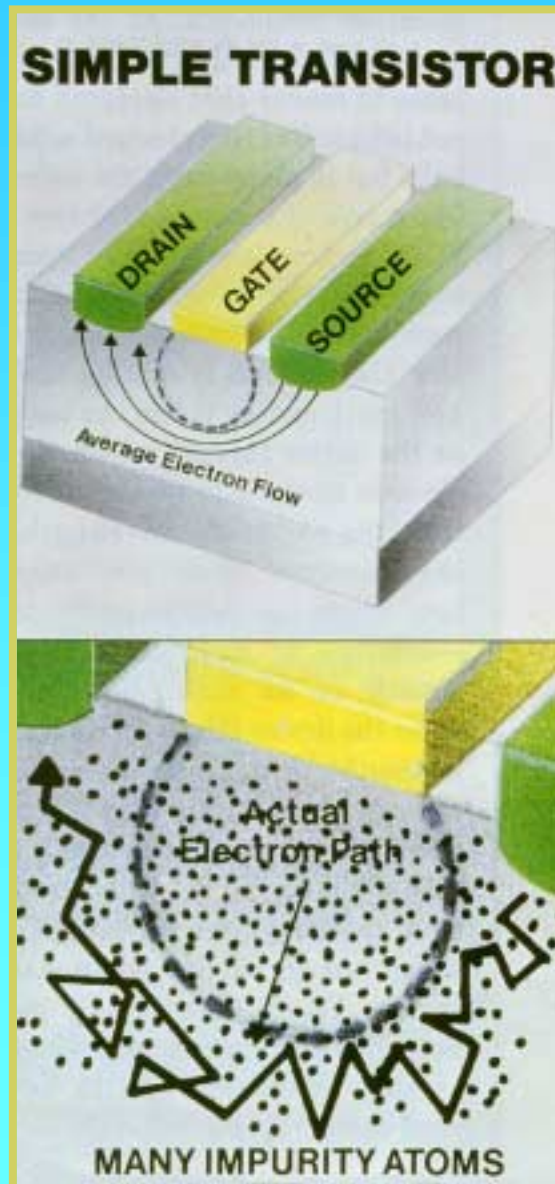
- El potencial en el canal



El dispositivo funciona
como hasta ahora mientras

$$L_{\text{eff}} > \delta r$$

Los límites físicos menos estrictos: estadística



All Transistors are Similar

Datos y predicciones ITRS (1/2)

Year of 1st DRAM Shipment	1997	1999	2002	2005	2008	2011	2014
Minimum Feature Size	250 nm	180 nm	130 nm	100 nm	70 nm	50 nm	35 nm
Isolated Gate Length	-	100 nm	70 nm	50 nm	35 nm	25 nm	18 nm
DRAM Bits/Chip	256M	1G	(3G)	8G	(24G)	64G	(192G)
DRAM Chip Size (mm ²)	280	400	460	530	630	710	860
Equivalent Physical Gate Oxide Thickness (nm)	3-5	1.9-2.5	1.5-1.9	1.0-1.5	0.8-1.2	0.6-0.8	0.5-0.6
Dielectric Constant of DRAM Capacitor		22	50	250	700	1500	1500

Datos y predicciones ITRS (2/2)

Max Gate Electrode Resistivity ($\mu\Omega$ cm)		60	43	33	23	16	11
Max Silicide/Si Contact Resistivity ρ_c (Ω cm ²)		30×10^{-8}	17×10^{-8}	10×10^{-8}	5×10^{-8}	2.5×10^{-8}	1.5×10^{-8}
S/D Extension Sheet Resistance (Ω /sq)		350- 800	250- 700	200- 625	150- 525	120- 450	100- 400
S/D Extension x_j (nm)	50-100	42-70	25-43	20-33	16-26	11-19	8-13
S/D Extension Lateral Abruptness (nm/decade)		14	8.5	6.5	4.5	3.2	2.2
Minimum Supply Voltage (volts)	1.8-2.5	1.5-1.8	1.2-1.5	0.9-1.2	0.6-0.9	0.5-0.6	0.5

Escenarios de scaling down

- Clásico (Dennard)
 - Reducción de dimensiones físicas y tensiones por igual factor (campo eléctrico constante, corrientes constantes). Incremento de dopaje por el mismo factor

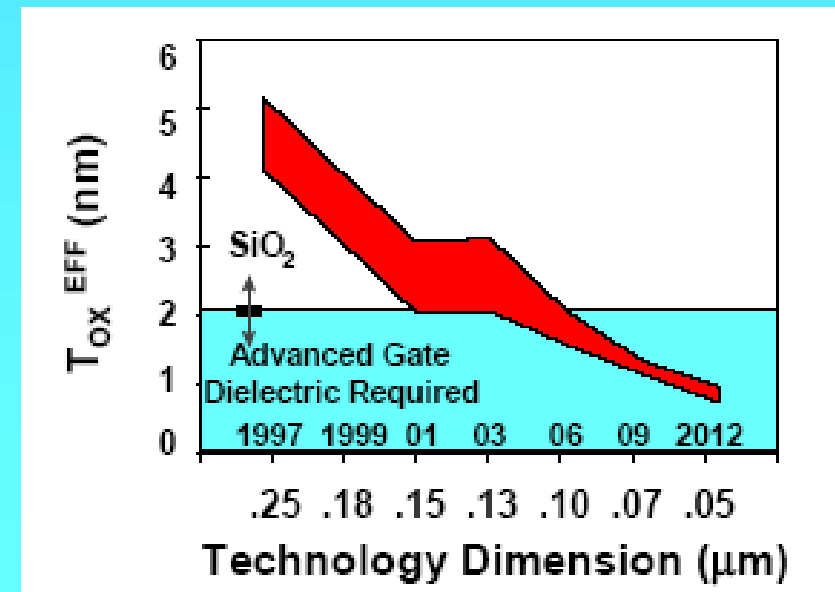
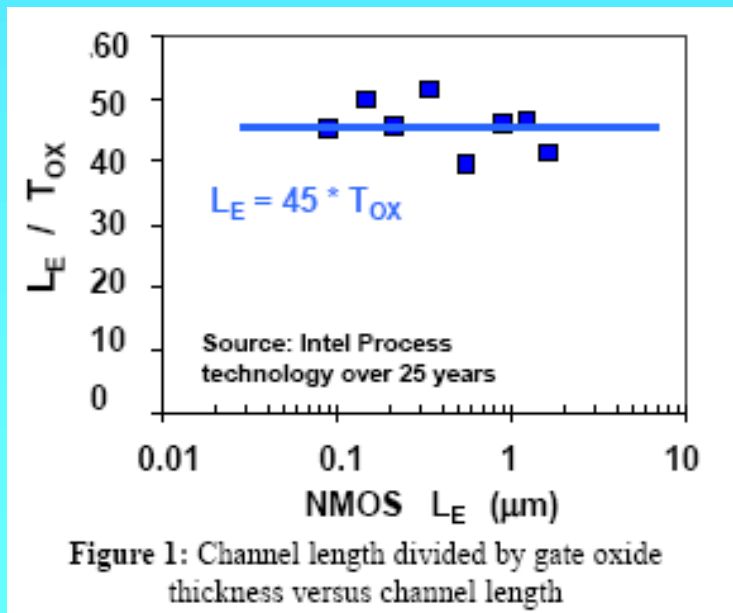
Escenarios de scaling down

- Real (Dennard flexibilizado)
 - Admite que la tensión no se reduzca en igual proporción (típicamente $\sqrt{2}$ por generación). Resulta en una mejor performance (mayor drive de corriente, mayor frecuencia), y mayores riesgos de degradación por mayor E.

Espesor dieléctrico de puerta

Equivalent Physical Gate	3-5	1.9-2.5	1.5-1.9	1.0-1.5	0.8-1.2	0.6-0.8	0.5-0.6
Oxide Thickness (nm)							

- Por argumentos geométricos debe ser pequeño frente a longitud canal (pocas centésimas). Esto asegura que el gate determina el potencial del canal, disipando los efectos de canal corto.



Tunel en SiO2

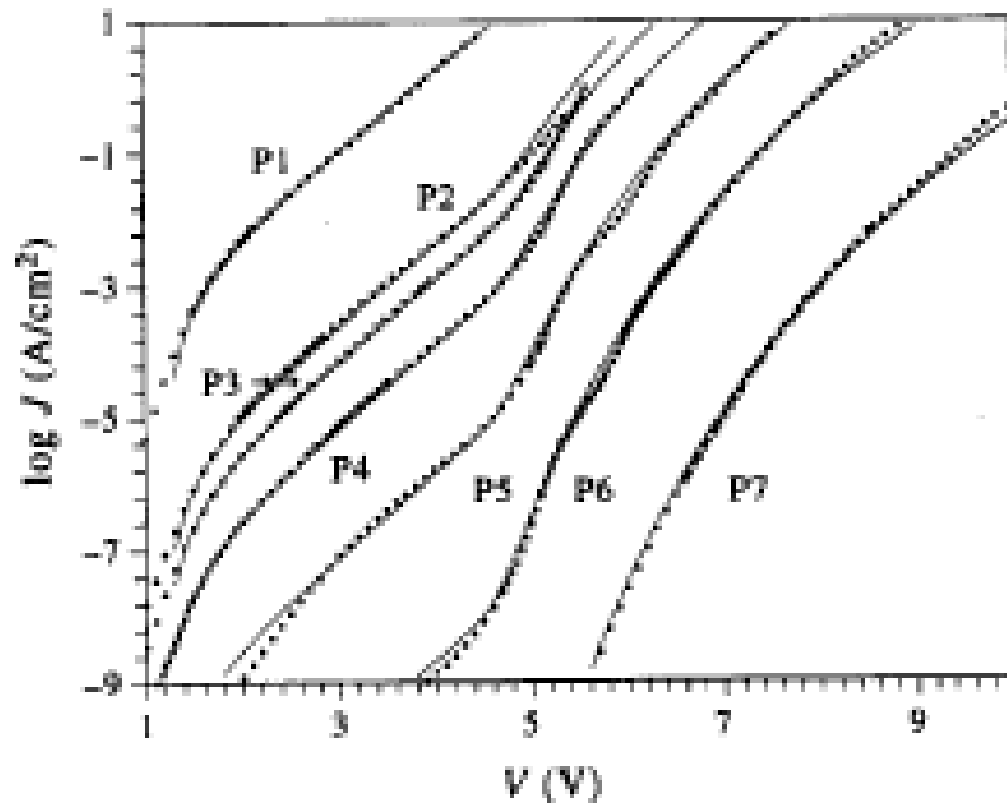


Fig. 1. Experimental and calculated—eqns (8) and (14)— $\log J$ - V curves for all samples. Fitting oxide thicknesses are: P1—22.2 Å, P2—30.5 Å, P3—32.2 Å, P4—35.3 Å, P5—41.3 Å, P6—50.0 Å and P7—67.5 Å.

$$J = \frac{Cq^2}{2} (V - V_b)^2 \exp(-2k_0 s)$$

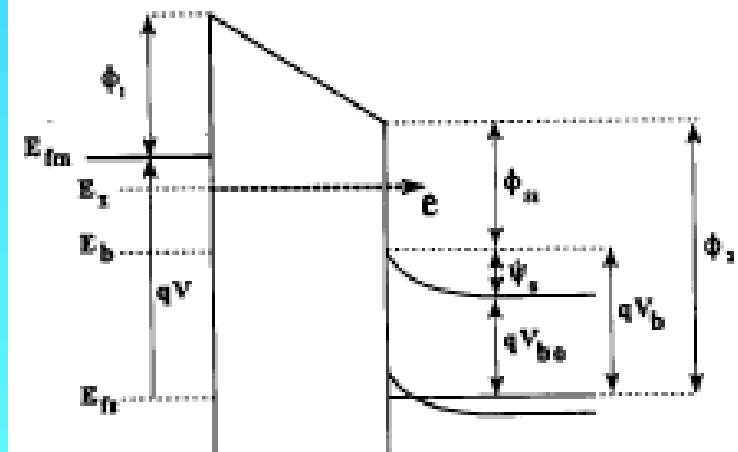


Fig. 3. Energy diagram of the biased MOS structure and definition of energy intervals used in the text.

A SEMI-EMPIRICAL MODEL FOR THE TUNNEL
CURRENT-VOLTAGE CHARACTERISTICS IN Al-SiO₂-Si(p)
STRUCTURES

A. FAIGÓN[†] and F. CAMPABADAL[‡]

Solid-State Electronics Vol. 39, No. 2, pp. 251-260, 1996

Tunel en SiO₂

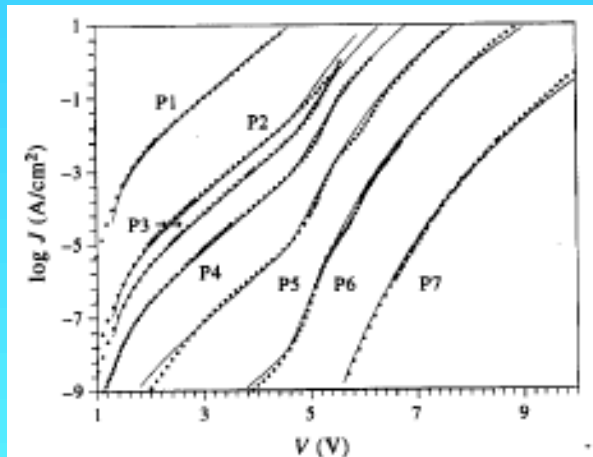
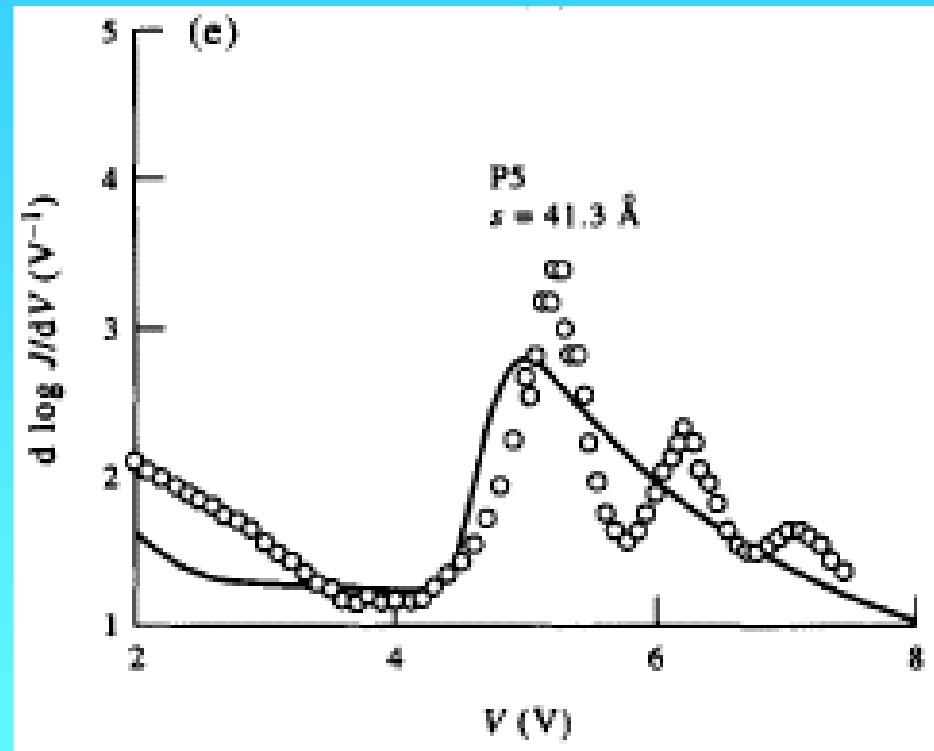


Fig. 1. Experimental and calculated—eqns (8) and (14)— $\log J$ - V curves for all samples. Fitting oxide thicknesses are: P1—22.2 Å, P2—30.5 Å, P3—32.2 Å, P4—35.3 Å, P5—41.3 Å, P6—50.0 Å and P7—67.5 Å.



A SEMI-EMPIRICAL MODEL FOR THE TUNNEL
CURRENT-VOLTAGE CHARACTERISTICS IN Al-SiO₂-Si(*p*)
STRUCTURES

A. FAIGÓN¹† and F. CAMPABADAL²

Solid-State Electronics Vol. 39, No. 2, pp. 251–260, 1996

Tunel en SiO₂

limitación a la formación de inversión

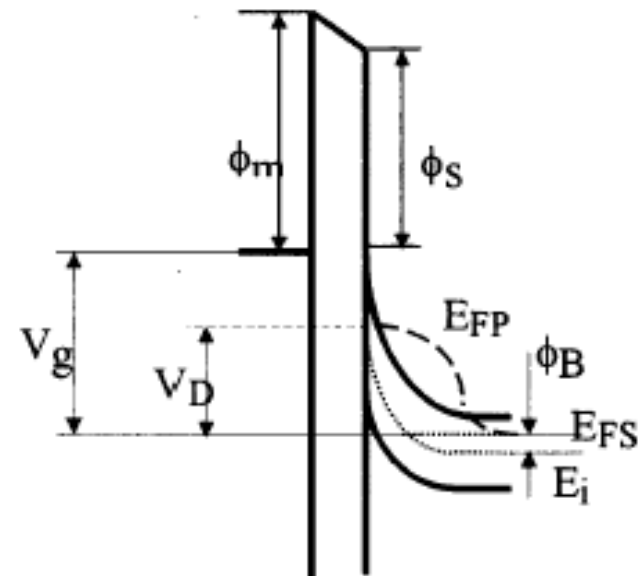
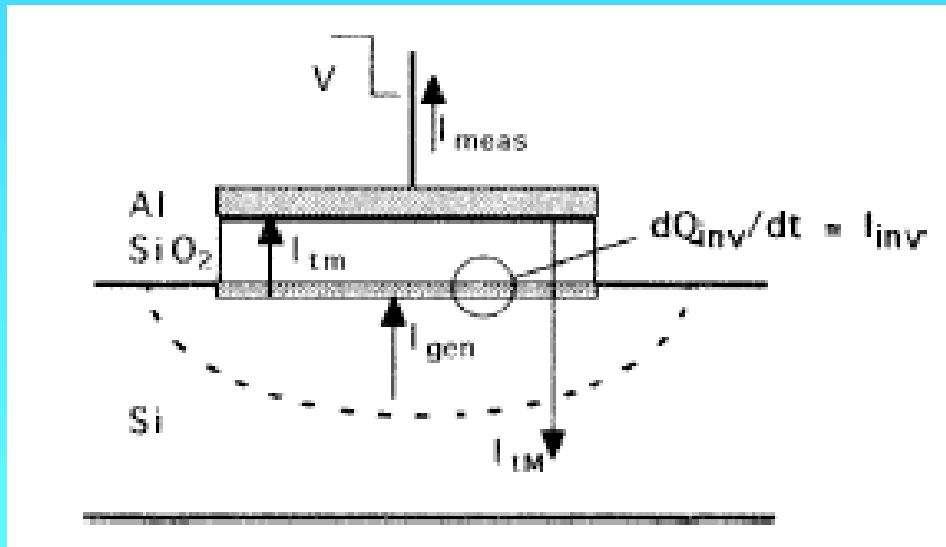


FIG. 2. Nonequilibrium band diagram of the metal-oxide-semiconductor structure.

Túnel en SiO₂

limitación a la formación de inversión

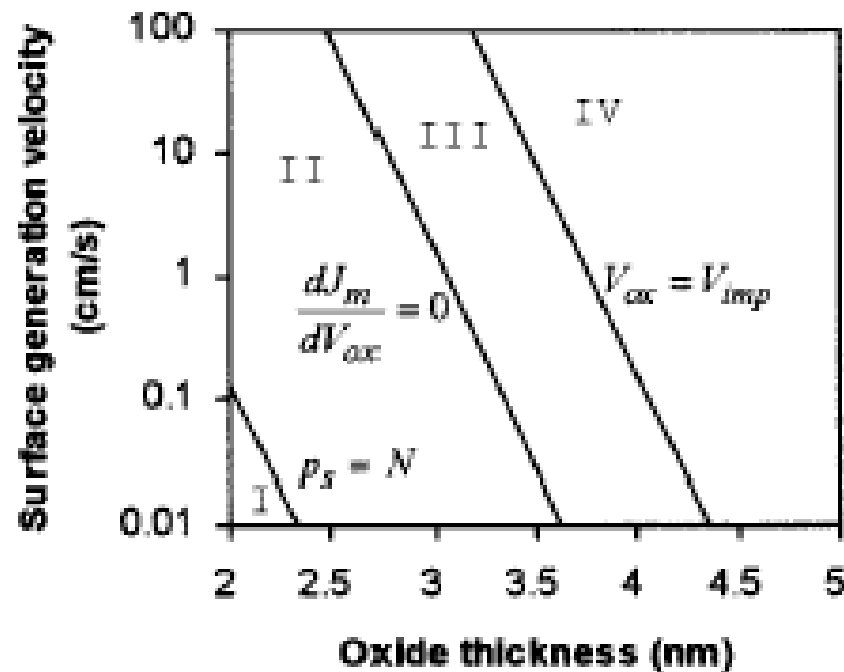
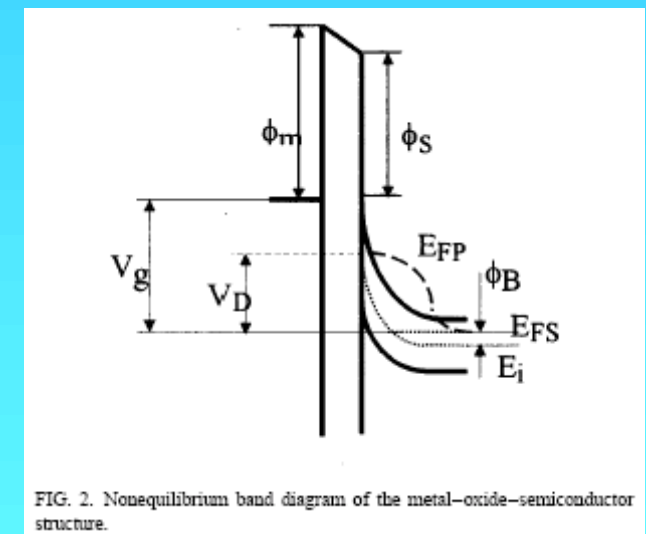


FIG. 6. Behavior pattern map. Region I: Schottky diode-like behavior, region II: minority carrier dominated tunneling, region III: majority carrier dominated tunneling, region IV: impact ionization assisted tunneling.



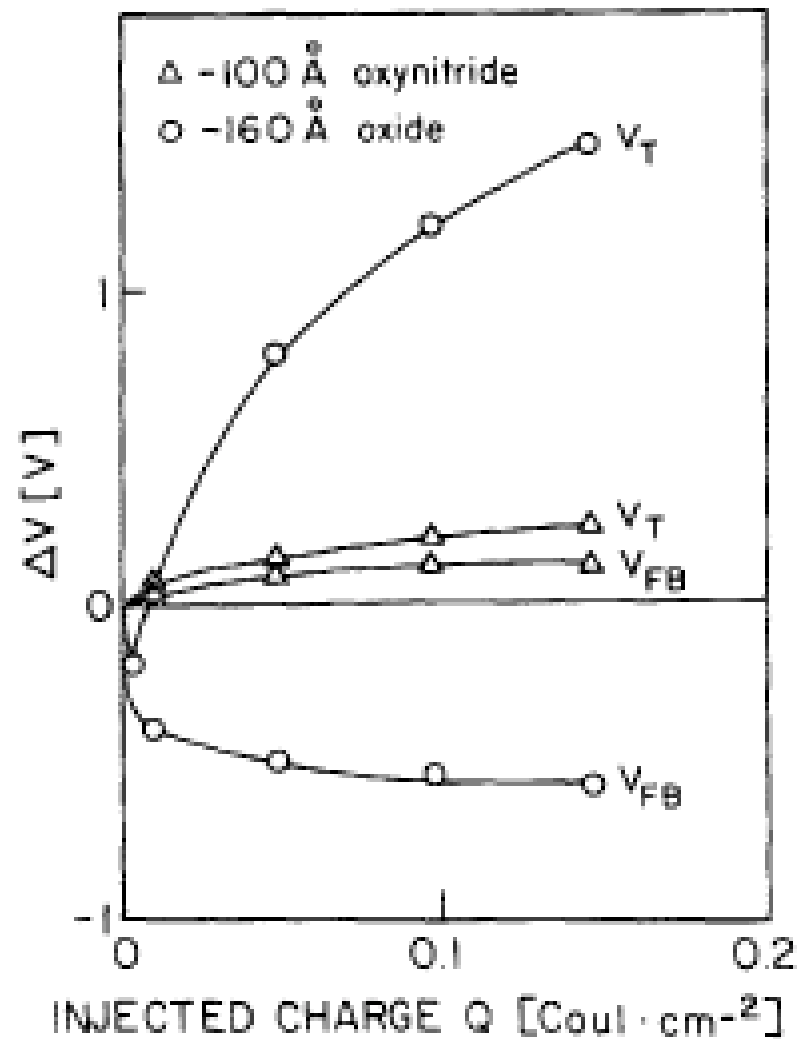
J. Appl. Phys., Vol. 88, No. 11, 1 December 2000

Modeling tunneling and generation mechanisms governing the nonequilibrium transient in pulsed metal-oxide-semiconductor diodes

Andrés Vercik^{a)} and Adrián Nestor Faigon^{b)}
 Laboratorio de Física de Dispositivos-Microelectrónica, Facultad de Ingeniería,
 Universidad de Buenos Aires, Argentina

Tunel en SiO₂

fenómenos asociados Q_{ox}, Nit



Espesor dieléctrico de puerta La solución

Equivalent Physical Gate	3-5	1.9-2.5	1.5-1.9	1.0-1.5	0.8-1.2	0.6-0.8	0.5-0.6
Oxide Thickness (nm)							

- Por argumentos geométricos debe ser pequeño frente a longitud canal (pocas centésimas). Esto asegura que el gate determina el potencial del canal, disipando los efectos de canal corto.
- Implica para la generación de 0.1 micra, un espesor dieléctrico de alrededor de 1 nm.
- La solución: dieléctricos “high k” que con un espesor mayor (túnel reducido) aseguren igual capacidad, o igual campo eléctrico en la superficie. Valores de k entre 15 y 30 serán necesarios para los próximos años.

Material de puerta

Max Gate Electrode		60	43	33	23	16	11
Resistivity ($\mu\Omega$ cm)							

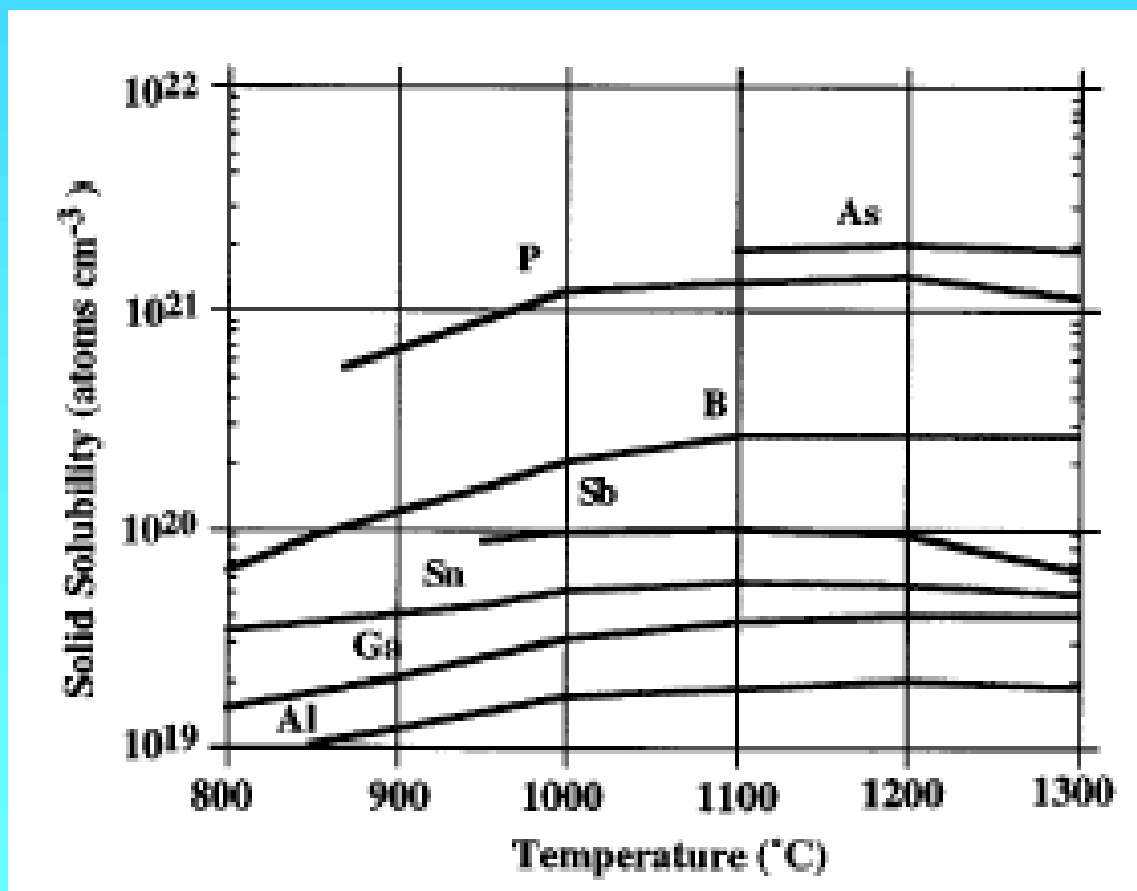
- Disminuir la resistividad requiere aumentar el dopaje si el material continúa siendo polysilicio (25 años de permanencia).
- Esto trae el beneficio de reducir el ancho de deserción en el poly

$$w \propto Na^{1/2}$$

- Los límites están en la solubilidad del dopante y en el “outdiffusion” de las impurezas al dieléctrico o al Si.
- Esto se agrava en caso de puertas p⁺ pues el B difunde muy rápidamente a través del SiO₂.

Material de puerta

Max Gate Electrode		60	43	33	23	16	11
Resistivity ($\mu\Omega$ cm)							

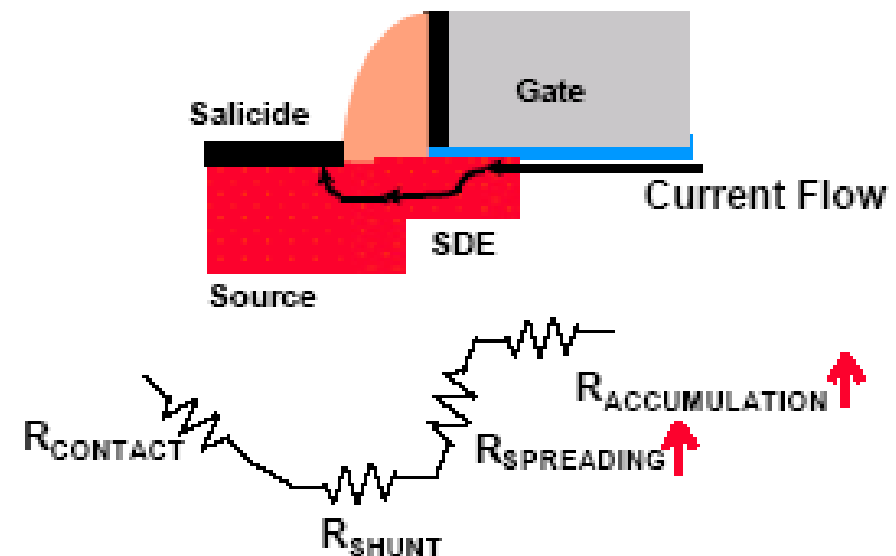
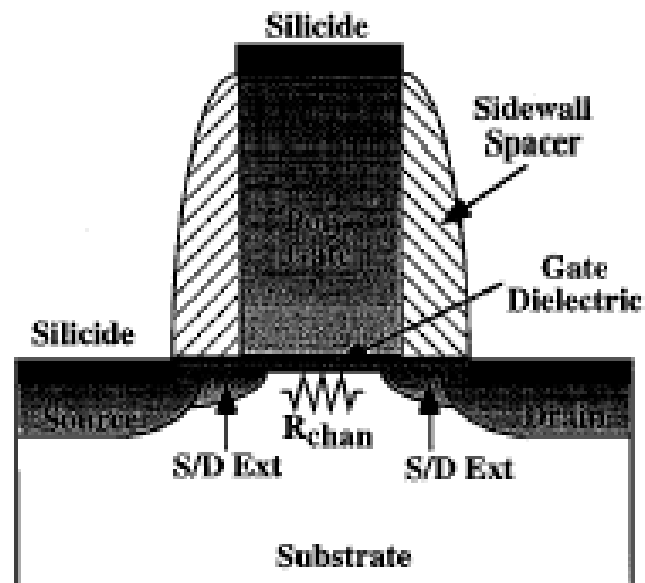


Valores de equilibrio

Significa que a T ambiente puede quedar sobresaturado.

Resistencias parásitas

Max Silicide/Si Contact		30×10^{-8}	17×10^{-8}	10×10^{-8}	5×10^{-8}	2.5×10^{-8}	1.5×10^{-8}
Resistivity ρ_c ($\Omega \text{ cm}^2$)							
S/D Extension Sheet		350-	250-	200-	150-	120-	100-
Resistance (Ω/sq)		800	700	625	525	450	400



Resistencias parásitas

Max Silicide/Si Contact		30×10^{-8}	17×10^{-8}	10×10^{-8}	5×10^{-8}	2.5×10^{-8}	1.5×10^{-8}
Resistivity ρ_c ($\Omega \text{ cm}^2$)							
S/D Extension Sheet		350-	250-	200-	150-	120-	100-
Resistance (Ω/sq)		800	700	625	525	450	400

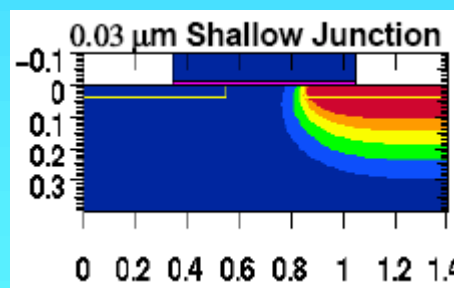
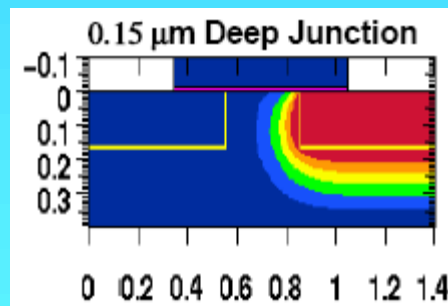
-Los requerimientos: Resistencias en serie con canal sumen $<10\%$ R_{channel} .

-Los contactos actualmente son de TiSi_2 o CoSi_2 con Si fuertemente dopado, y no hay medios conocidos “manufacturables” para reducir su R_{contact}

-Las extensiones de S y D deben reducir su profundidad para eliminar efectos “short channel”. Para mantener o reducir su resistencia se debe aumentar su dopaje, con el límite de la solubilidad.

Dimensión de extensiones S/D

S/D Extension x_j (nm)	50-100	42-70	25-43	20-33	16-26	11-19	8-13
S/D Extension Lateral		14	8.5	6.5	4.5	3.2	2.2
Abruptness (nm/decade)							



- Tanto la profundidad de la juntura, x_j , como cuán abrupta es, están determinados por las posibilidades de las técnicas de dopado.
- La implantación iónica, usada hoy, si bien permitiría las geometrías requeridas, en el proceso de implantación misma, requiere del annealing térmico que modifica las distribuciones y sobrepasa los límites fijados en la tabla.

El Tox equivalente SiO₂ (1)

-Probablemente se encuentren aislantes de alto k. Pero:

El SiO₂ forma una interfaz con el Si muy especial:

químicamente abrupta (estequiométrico en dos capas moleculares),

físicamente abrupta (barrera de potencial abrupta),

electrónicamente muy inerte: un sitio activo (estado de interfaz) cada 10⁵ átomos en la superficie.

Debe pensarse que el material que se encuentre requerirá un “colchón” delgado de SiO₂ para apoyar en el Si. Y en tal caso el espesor equivalente SiO₂ de la tabla, será

$$\text{Tox eq} = \text{Tox} + k_{ox}/k_{high} \cdot T_{high}$$

El Tox equivalente SiO₂ (2a)

Efectos cuánticos de confinamiento de electrones en capa de inversión

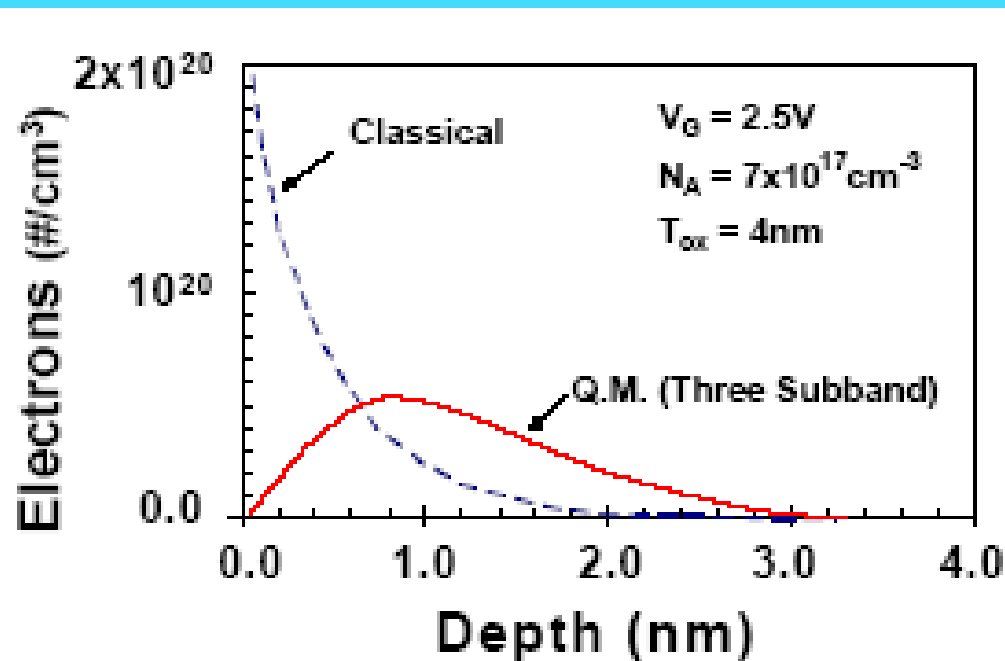
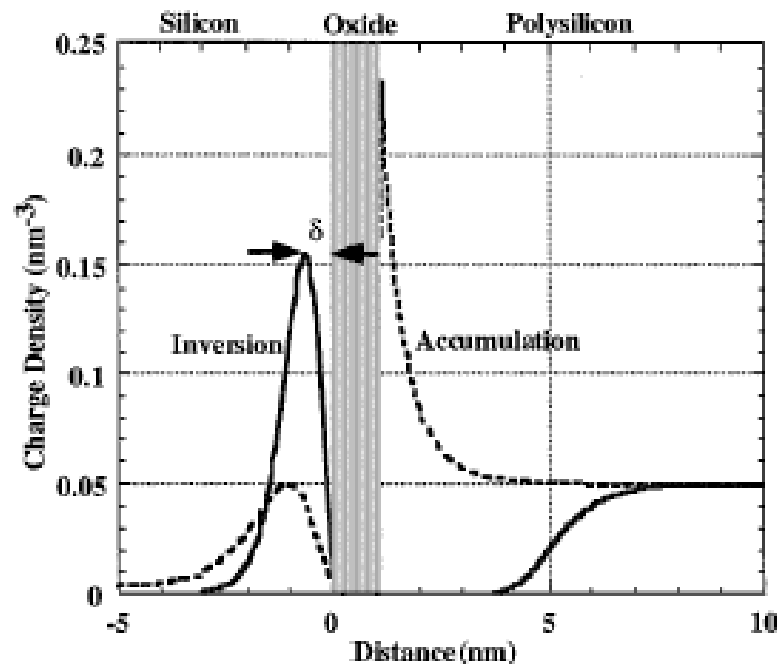


Figure 6: Position of inversion channel charge versus depth

El Tox equivalente SiO₂ (2b)



$$T_{ox\ eq\ el} = T_{ox} + \frac{k_{ox}}{k_{high}} \cdot T_{high} + T_{dep} (0.5nm) + T_{qtm} (0.3nm)$$

-Cuando el Si está en acumulación el poly gate está en deserción y el espesor efectivo de acoplamiento debe considerar el espesor de la deserción.

-Cuando el Si está en inversión, los portadores están confinados y las condiciones de contorno imponen que el máximo de concentración (amplitud de la función de onda) no está sobre la superficie.

El Tox equivalente SiO₂ (3)

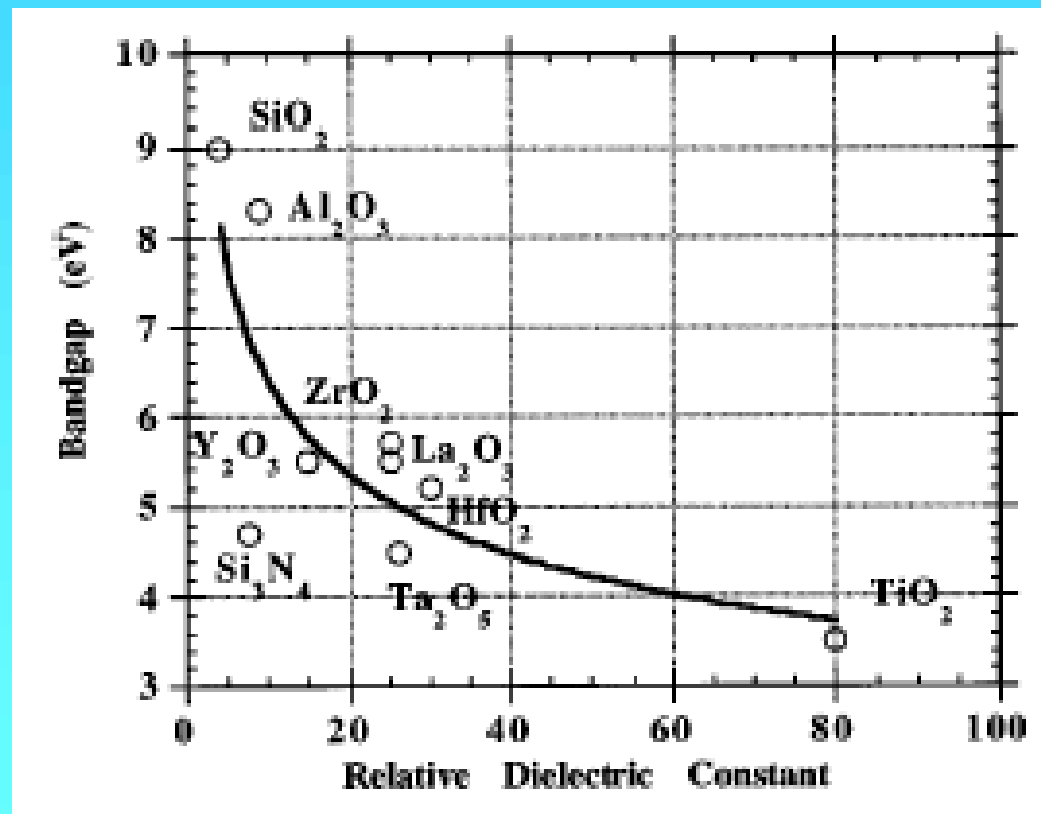
La probabilidad de túnel a través de barrera rectangular es

$$T = \exp\left(-2\sqrt{\frac{2 m^* q \phi_B}{\hbar^2}} \cdot t_{ox}\right)$$

-Para reducir las corriente de túnel debiera buscarse además de k alto (para que el espesor de tunel –el real- sea grande con tox-eq pequeño), un material de barrera Φ_b elevada. Eventualmente también m^* elevada.

El Tox equivalente SiO₂ (4)

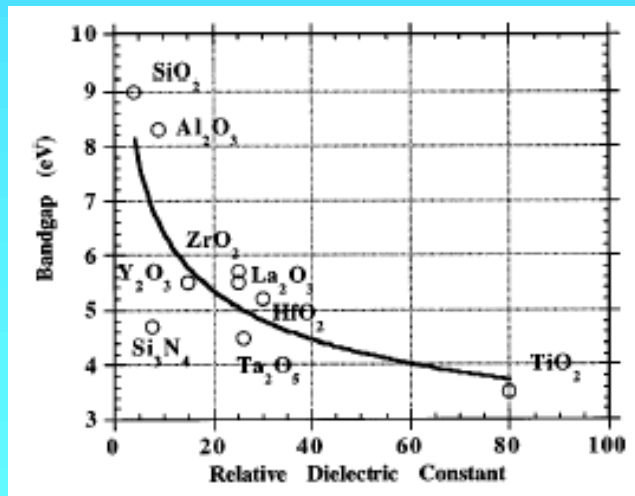
Lamentablemente en óxidos binarios simples se encuentra



El Tox equivalente SiO₂ (5)

$$T = \exp\left(-2\sqrt{\frac{2m^*q\phi_B}{\hbar^2}} \cdot t_{ox}\right)$$

Al momento de optar debe privilegiarse el espesor (el k) sobre la barrera pues ésta aparece a la 1/2 en el exponente.



-Limitación: que Φ_b no sea lo suficientemente baja para permitir emisión Schotky.

Queda excluido así el Ta₂O₅ que pese a su gap de 4... tiene un Φ_b para electrones de 0.23 eV.

Otros dieléctricos

Oxidos de Titanio y de Tántalo son buenos candidatos pero



OPTION	ISSUES / STATUS
Si ₃ N ₄ / nitride	Small advantage especially with buffer layer Close to being ready (G. Lucovsky, T. P. Ma)
Ta ₂ O ₅	Need SiO ₂ buffer/ no poly-silicon gate Very early stages (S. Kamiyama)
TiO ₂	Need SiO ₂ buffer/ no poly-silicon gate Very early stages (S. A. Campbell)
BST	Deep states/ buffer layer/ no poly-silicon gate Early stages FET (large DRAM interest)

Otros dieléctricos

En estado de investigación

Periodic table showing the stability of binary oxides. Potentially stable binary oxides are shaded light gray, and thermodynamically unstable oxides are shaded dark gray.

Legend:

- Potentially Stable Binary Oxides (Light Gray)
- Thermodynamically Unstable (Dark Gray)

Elements are numbered 1 through 118, corresponding to the periodic table layout.

Materiales de gate

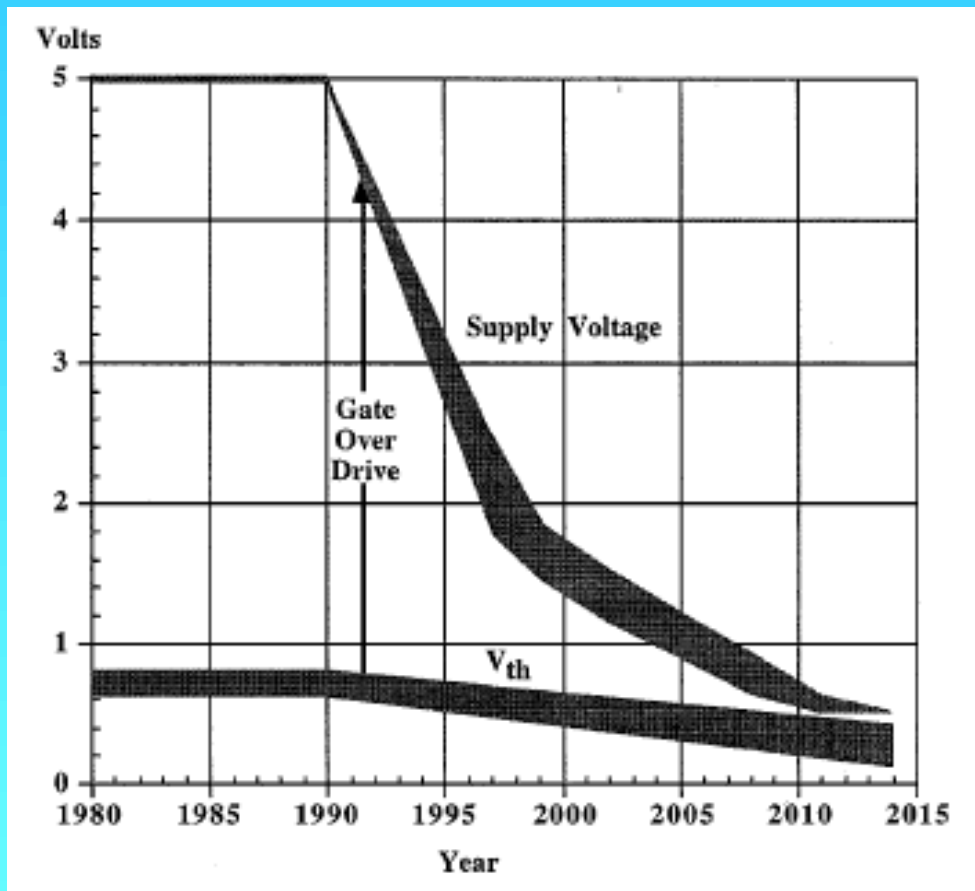
Si el dieléctrico de alto k es inestable con Si, deberá reemplazarse el Poly también por estas razones.

Serán necesarios dos materiales que tengan la función trabajo adecuada al p-channel, cerca de E_c , y al n-channel cerca de E_v .

De otro modo habría un corrimiento en V_t aprox igual a la diferencia entre la función trabajo y los extremos de las bandas.

						E_c (4.05)
Al (4.08)	Ta (4.19)	Mo (4.20)	Sr (4.21)	V (4.30)	Ti (4.33)	
		Sn (4.42)	W (4.52)	Cr (4.6)		
Ru (4.71)	Rh (4.80)	Co (4.97)	Pd (4.98)	Ni (5.1)	Re (5.1)	
						E_v (5.17)
				Ir (5.27)	Pt (5.34)	

Tensión de alimentación



Vdd está limitada por los campos que soporta el dieléctrico

Se intenta no superar los 5MV/cm en SiO₂ mientras se pueda.

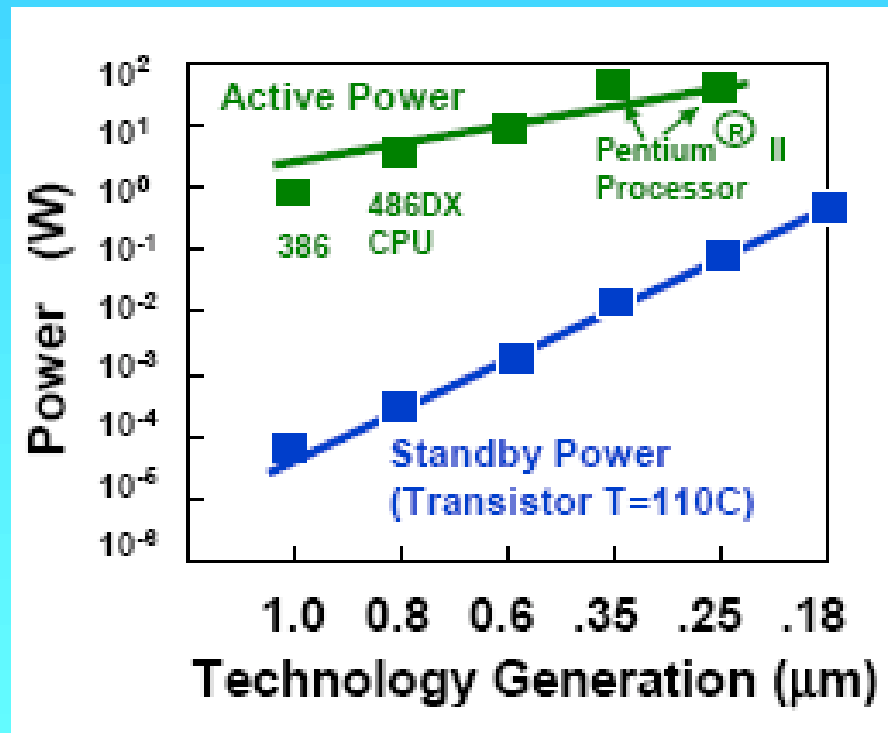
Además de elevado túnel, hay riesgo de degradación a campos superiores, y de ruptura dieléctrica acercándose a los 15 MV/cm.

Simultáneamente Vdd debe ser superior a V_t , a su vez alejado del 0 para reducir las corrientes off.

Los 0.5 V que predice el road map para 2014 no da mucho margen

Tensión de alimentación

El resultado del escaso margen de V_{dd} respecto a V_t y V_t respecto a 0V.



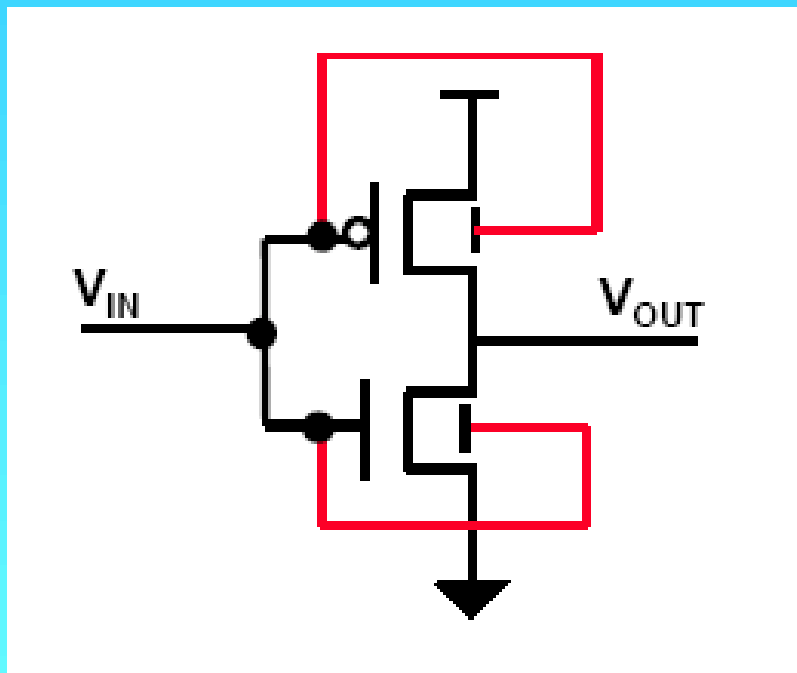
Optimo $V_{dd}=4V_t$ no se puede cumplir.

Se requieren innovaciones mejores que la de ofrecer la alternativa de dos dispositivos de alto y bajo V_t

Tensión de alimentación

Una idea: DTMOS

Dynamic Threshold MOS



Las conexiones de gate a los wells causas una reducción del V_t del transistor que switchea a ON, proveyendo de mejor overdrive ($V_g - V_t$).

Es adecuado y limitado a $V_{dd} < 0.6$ volts en Si pues de otro modo polariza en directo el diodo well-source.

Conclusion

- Hay actualmente gran oferta tecnológica de dispositivos y materiales variados pero, por motivos que espero se hayan podido apreciar de estas charlas las tecnologías actuales sobre silicio están a muchos años de distancia de cualquier otra..
- La historia de las tecnologías en uso muestra que lo que hoy parece inalcanzable, lo es en unos años. Hace falta una pista y trabajar con materiales y herramientas buenas. Eso es lo que ofrece la tecnología del silicio.
- Las principales dificultades tecnológicas identificadas son:
 - Reducción del gate óxide manteniendo bajo el túnel
 - Control de geometría de extensiones S/D manteniendo baja la resistencia
 - Materiales de gate con adecuada función trabajo
 - El problema de alimentación.
- Su solución permitirá acercarse probablemente a los 20 nm “feature size”, más allá de ello los efectos cuánticos se imponen.