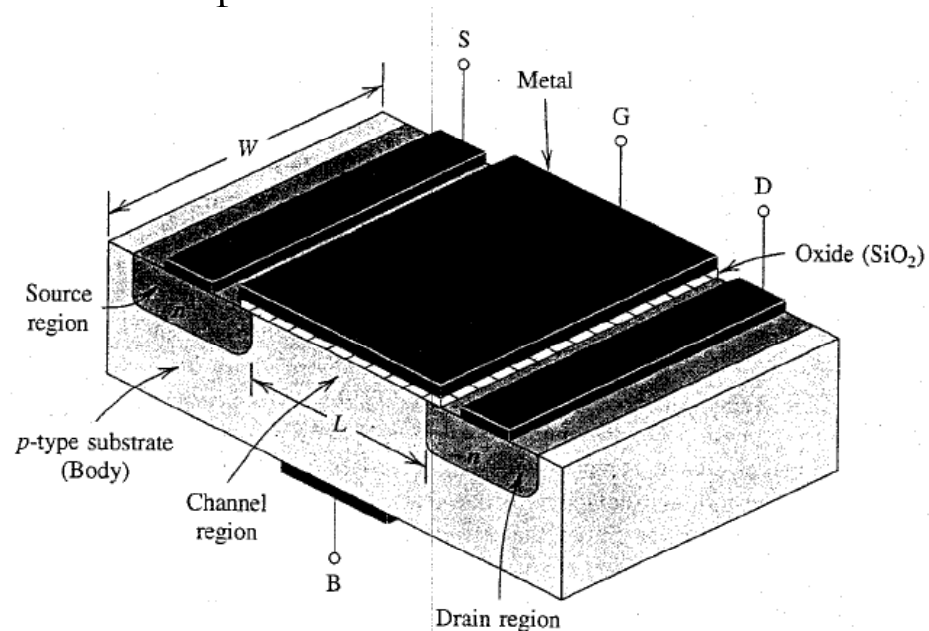


# TRANSISTOR MOS

- Transistor de Efecto de Campo con Gate aislado
- Es unipolar con canal tipo  $n$  o tipo  $p$
- Gate = polisilicio  $\gg$  dopado sustrato



# Consideraciones

- El sustrato o Bulk es la base donde se construyen con diferentes técnicas cada una de las distintas regiones que conforman el dispositivo. En caso de tratarse de un C.I., el sustrato es compartido por todos los dispositivos que se encuentran en el mismo.
- Al existir un dieléctrico, Gate-sustrato se comporta como un capacitor.
- Analizamos primeramente Gate  $n^+$  con sustrato dopado  $p$ .
- Dos zonas con dopado  $n^+$  constituyen los terminales de Source y Drain.
- Consideramos  $V_S = 0$ .
- Consideramos  $V_B \leq V_S$  para asegurar que las junturas con terminales Source y Drain se encuentren en inversa.
- $V_D \geq V_S \rightarrow$  electrones de Source a Drain  $\rightarrow$  Corriente de Drain a Source.

# Funcionamiento

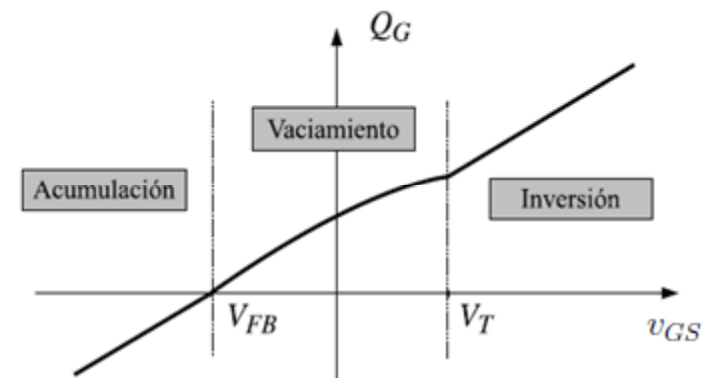
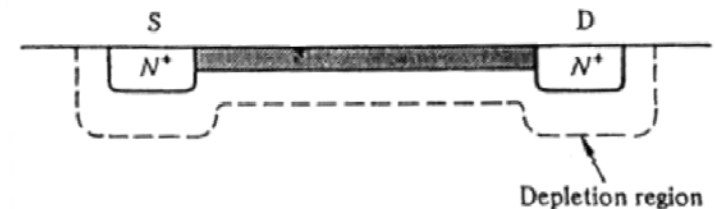
- Consideremos  $V_{DS} = 0$ .
- Al estar más dopado el Gate que el Sustrato, el potencial propio de la unión será:

$$\phi_{GB} = \phi_n^+ - \phi_p > 0$$

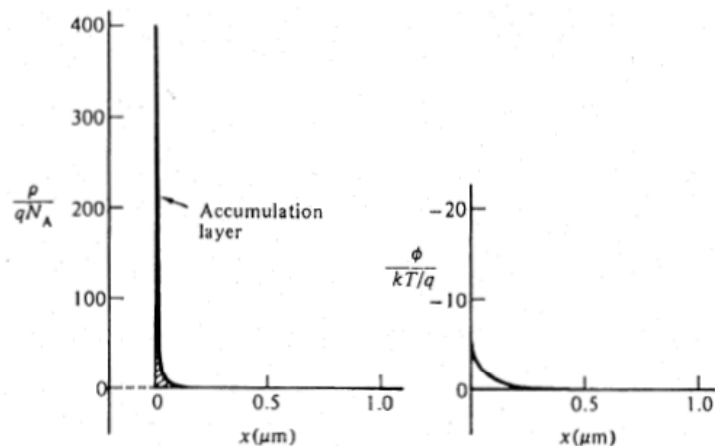
- Si  $N_G = 10^{19}$  y  $N_B = 10^{13}$ , el potencial será de  $720mV$ .
- Cargas positivas en Gate y negativas en Sustrato  $\rightarrow$  Se encuentra en región de Vaciamiento con  $V_{GS} = 0$ .
- Al estar en Vaciamiento no hay conducción en el canal  $\rightarrow$  alta resistencia entre Source y Drain.

# Funcionamiento

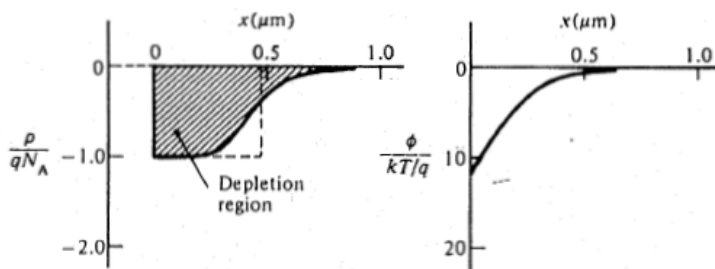
- Si ahora aumentamos negativamente  $V_{GS}$ , la zona de Vaciamiento se achica.
- Al llegar a la tensión  $V_{FB}$  (flatband) no hay cargas en el Gate.
- $V_{GS}$  menores aún invierten la polaridad de las cargas en Gate y Sustrato pasando a un estado de Acumulación.
- En Acumulación tampoco hay conducción por el canal.
- Valores por encima de  $V_T$  (threshold) generan una Inversión del canal → Conducción entre Source y Drain.



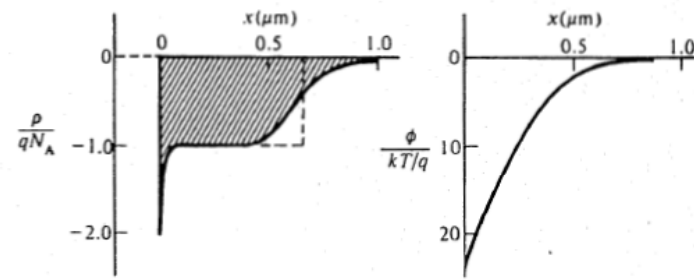
# Curvas reales densidad de carga



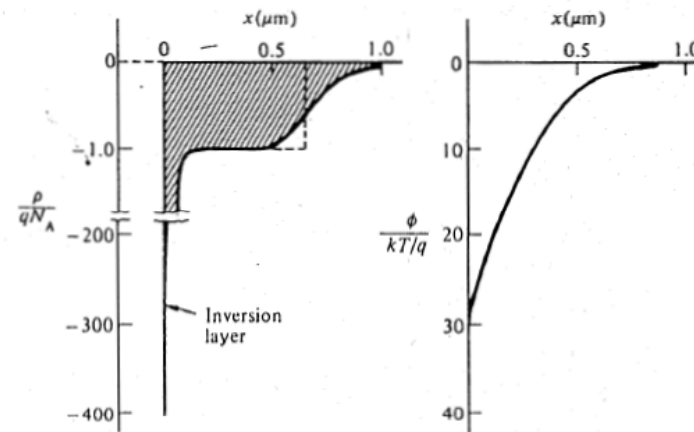
(a) Accumulation ( $\phi_S = -6kT/q$ )



(b) Middle of depletion ( $\phi_S = \phi_F = 12kT/q$ )



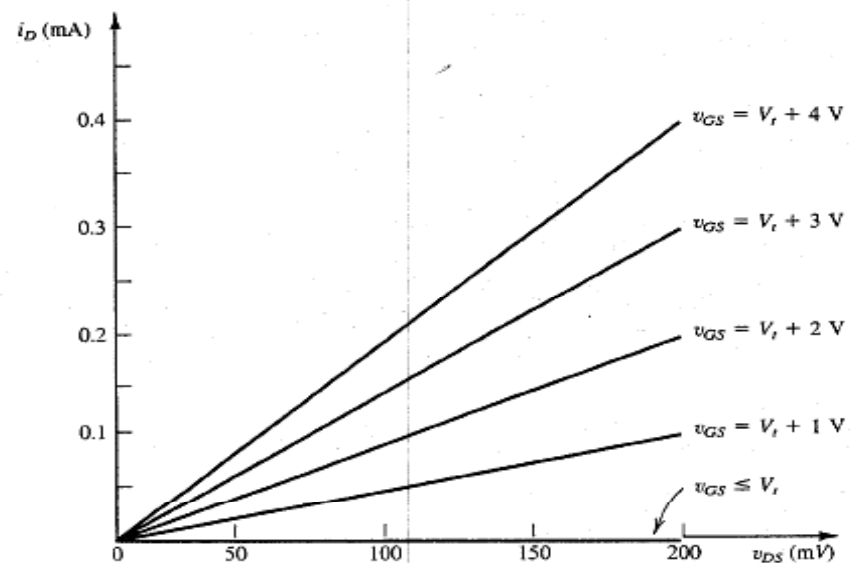
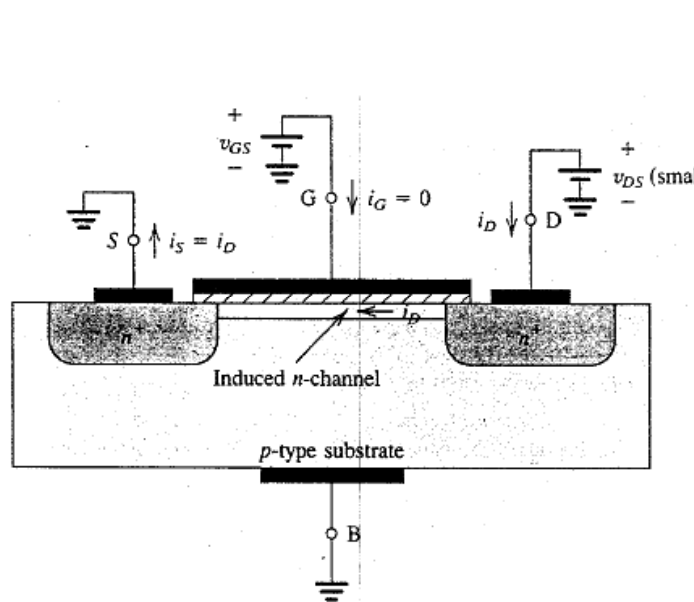
(c) Onset of inversion ( $\phi_S = 2\phi_F = 24kT/q$ )



(d) Deep into inversion ( $\phi_S = 2\phi_F + 6kT/q = 30kT/q$ )

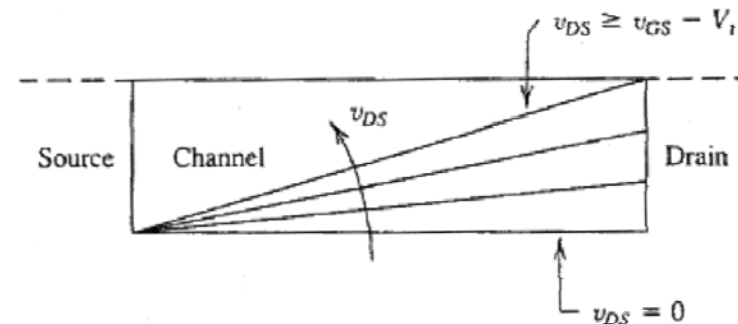
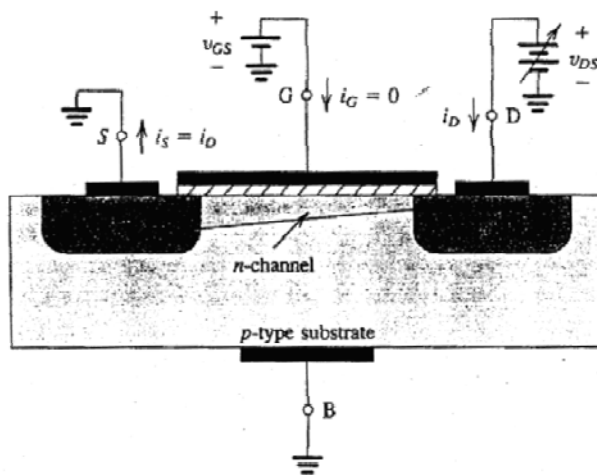
# Funcionamiento

- Para  $V_{DS}$  chicos el canal prácticamente no se deforma  $\rightarrow$  Resistencia constante entre Source y Drain.
- A medida que aumenta  $V_{GS}$ , aumenta la concentración de carga debajo del Gate, haciendo que el canal disminuya su resistencia.



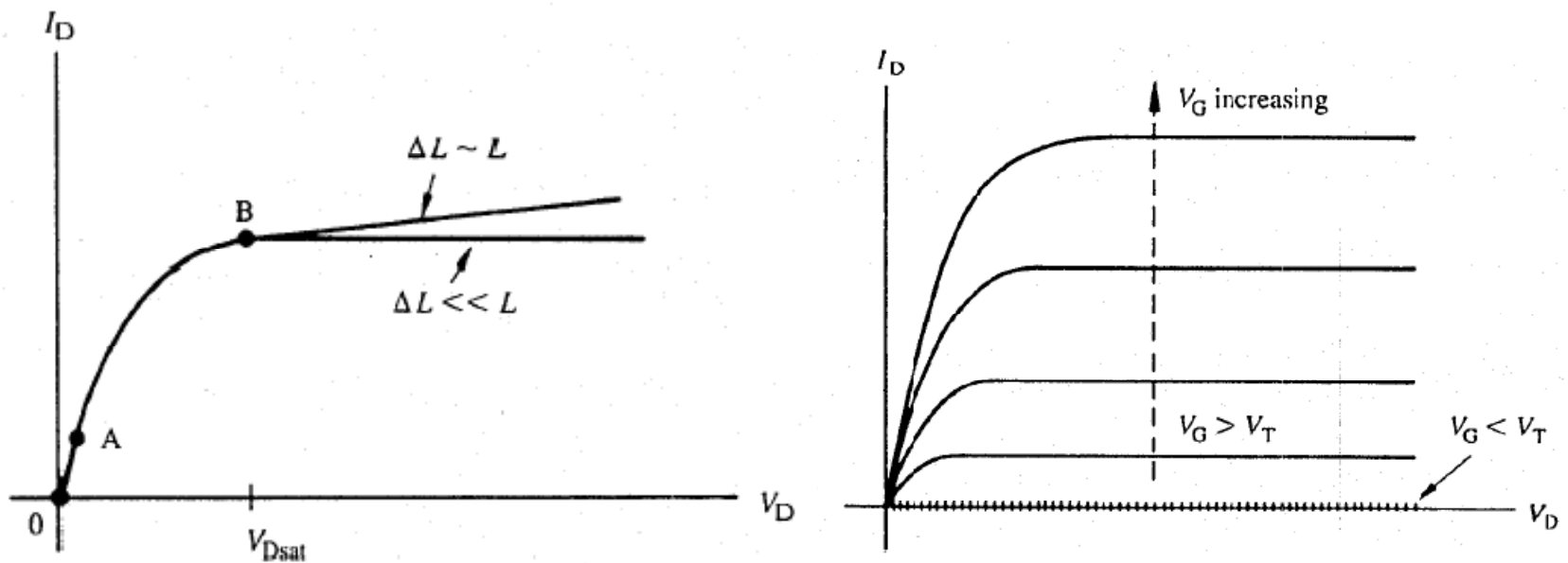
# Funcionamiento

- $V_D$  mayores, disminuyen la tensión entre Drain-Gate oponiéndose a la Inversión  $\rightarrow$  El canal se angosta sobre el Drain.
- Aún mayores  $V_D$ , llega un punto en el que desaparecen las cargas de Inversión y el canal se estrangula.
- Posteriores incrementos de  $V_D$  hacen que el canal se estrangule más cerca del Source. La corriente se mantiene cte.





# Curvas de salida





# Ecuaciones

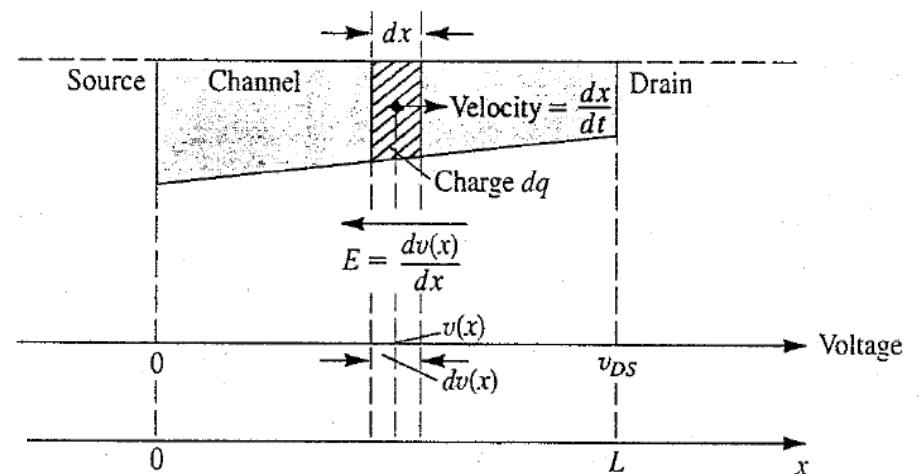
$$C = dq/dV \quad dq(x) = -C_{ox}W dx[v_{GS} - v(x) - V_t]$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad \text{Capacidad por unidad de área}$$

Velocidad desplazamiento portadores:

$$\frac{dx}{dt} = -\mu_n E(x) = \mu_n \frac{dv(x)}{dx}$$

$$i = -\mu_n C_{ox} W [v_{GS} - v(x) - V_t] \frac{dv(x)}{dx}$$



# Ecuaciones

$$i_D = \mu_n C_{ox} W [v_{GS} - v(x) - V_t] \frac{dv(x)}{dx}$$

$$i_D dx = \mu_n C_{ox} W [v_{GS} - V_t - v(x)] dv(x)$$

$$\int_0^L i_D dx = \int_0^{v_{DS}} \mu_n C_{ox} W [v_{GS} - V_t - v(x)] dv(x)$$

$$i_D = (\mu_n C_{ox}) \left( \frac{W}{L} \right) \left[ (v_{GS} - V_t) v_{DS} - \frac{1}{2} v_{DS}^2 \right] \quad \text{Zona de Triodo}$$

## Ecuaciones

- Para hallar la  $I_D$  en la zona de saturación, se reemplaza  $V_{DS}$  por  $V_{GS} - V_T$ :

$$i_D = \frac{1}{2}(\mu_n C_{ox}) \left( \frac{W}{L} \right) (v_{GS} - V_T)^2$$

$k'_n = \mu_n C_{ox} =$  Dato propio del proceso de fabricación (transconductancia).

- Las ecuaciones quedan:

$$i_D = k'_n \frac{W}{L} \left[ (v_{GS} - V_T)v_{DS} - \frac{1}{2}v_{DS}^2 \right] \quad \text{Zona de Triodo}$$

$$i_D = \frac{1}{2}k'_n \frac{W}{L} (v_{GS} - V_T)^2 \quad \text{Zona de Saturación}$$

## Ecuaciones

- En la zona de Triodo, para valores de  $V_{DS}$  pequeños, se puede hacer la siguiente simplificación:

$$i_D = k'_n \frac{W}{L} \left[ (v_{GS} - V_t)v_{DS} - \frac{1}{2}v_{DS}^2 \right] \quad i_D \approx k'_n \frac{W}{L} (v_{GS} - V_t)v_{DS}$$

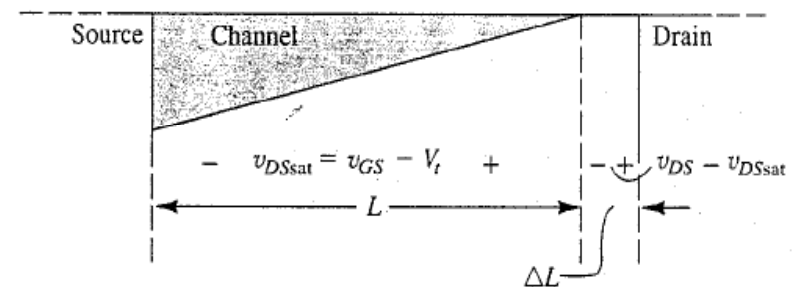
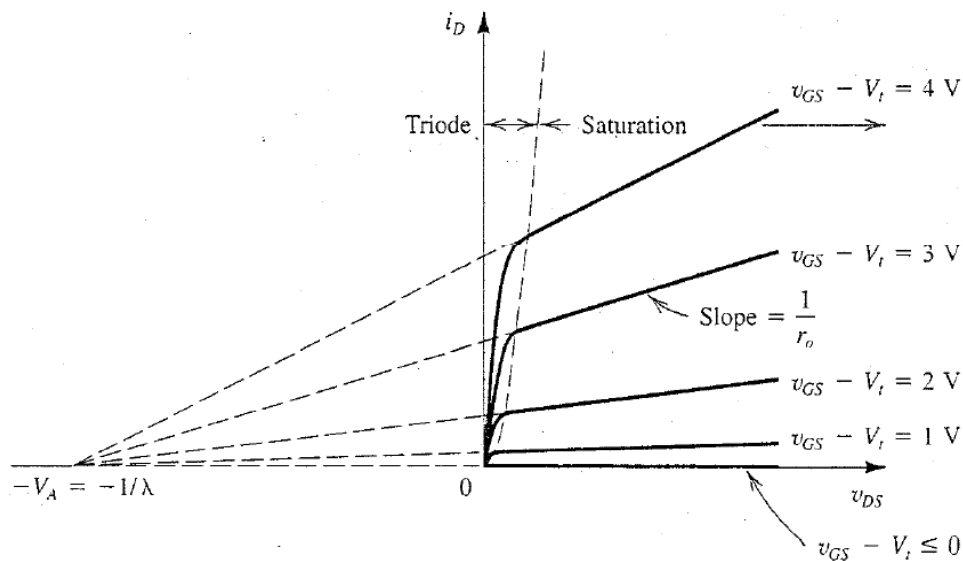
- Puede verse la relación lineal en la zona Triodo, donde la resistencia del canal viene dada por:

$$r_{DS} \equiv \frac{v_{DS}}{i_D} = \left[ k'_n \frac{W}{L} (v_{GS} - V_t) \right]^{-1}$$

# Modulación del canal

- En la zona de saturación, la realidad indica que existe una pendiente de crecimiento de la  $I_D$  frente al aumento de  $V_{DS}$ :

$$i_D = \frac{1}{2} k'_n \frac{W}{L} (v_{GS} - V_t)^2 (1 + \lambda v_{DS})$$



## Ejemplo

- Hallar  $R$  para establecer  $I_D = 0.4\text{mA}$ . Suponer:  
 $V_T = 2\text{V}$ ,  $\mu_n C_{ox} = 20\mu\text{A}/\text{V}^2$ ,  $L=10\mu\text{m}$ ,  $W=100\mu\text{m}$
- Al estar Drain y Gate conectados, siempre funcionará en la zona de saturación.

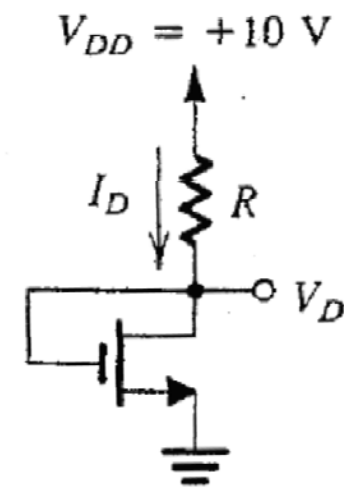
$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_T)^2$$

$$0.4 = \frac{1}{2} (20)(10^{-3})(100/10)(V_{GS} - 2)^2$$

- Soluciones  $V_{GS} = 4\text{V}$  y  $0\text{V} \rightarrow V_{GS} = 4\text{V}$ .

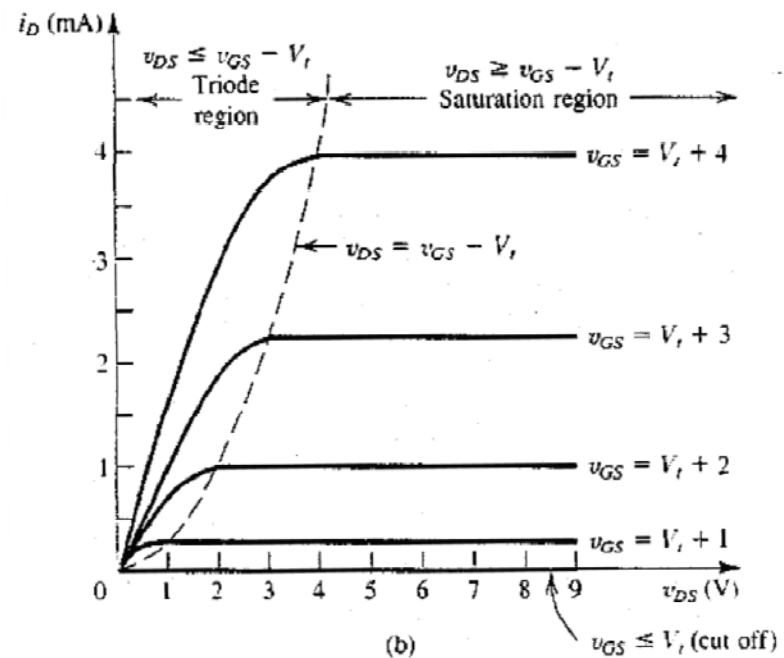
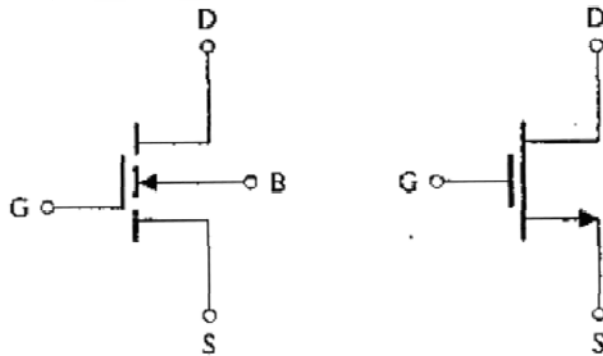
$$V_D = +4\text{V}$$

$$R = \frac{V_{DD} - V_D}{I_D} = \frac{10 - 4}{0.4} = 15\text{ k}\Omega$$



# MosFet de Enriquecimiento

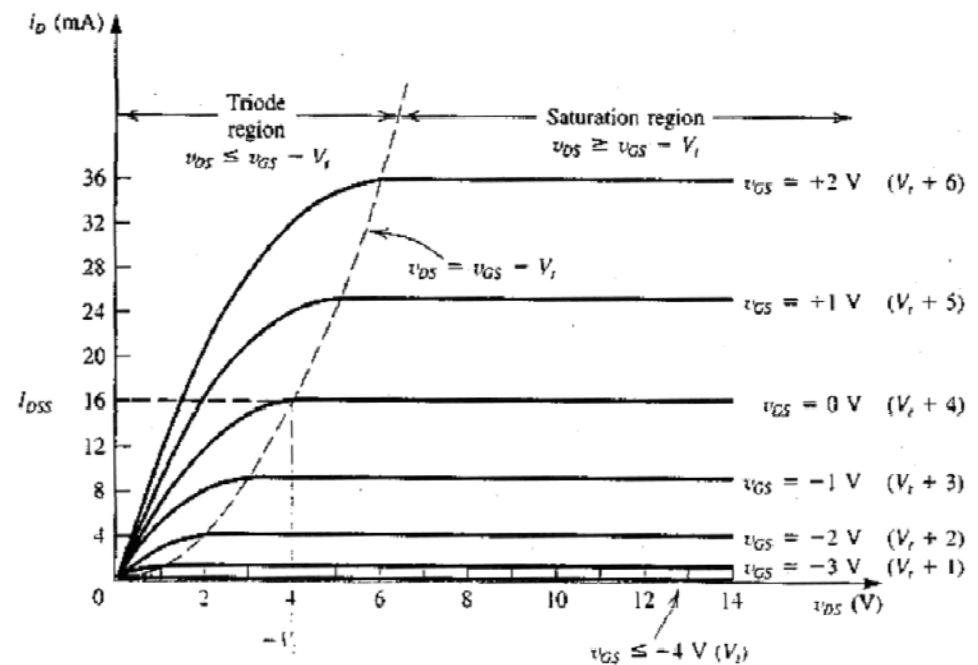
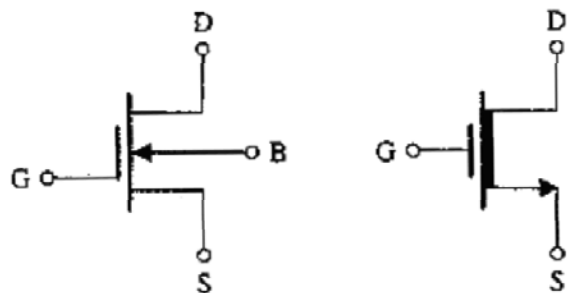
- El modelo analizado hasta ahora es del tipo de enriquecimiento; es decir que sin  $V_{GS}$  no existe un canal para conducción de corriente. Solamente a partir de  $V_{GS} > V_T$  se produce la conducción.
- Símbolos y curvas:



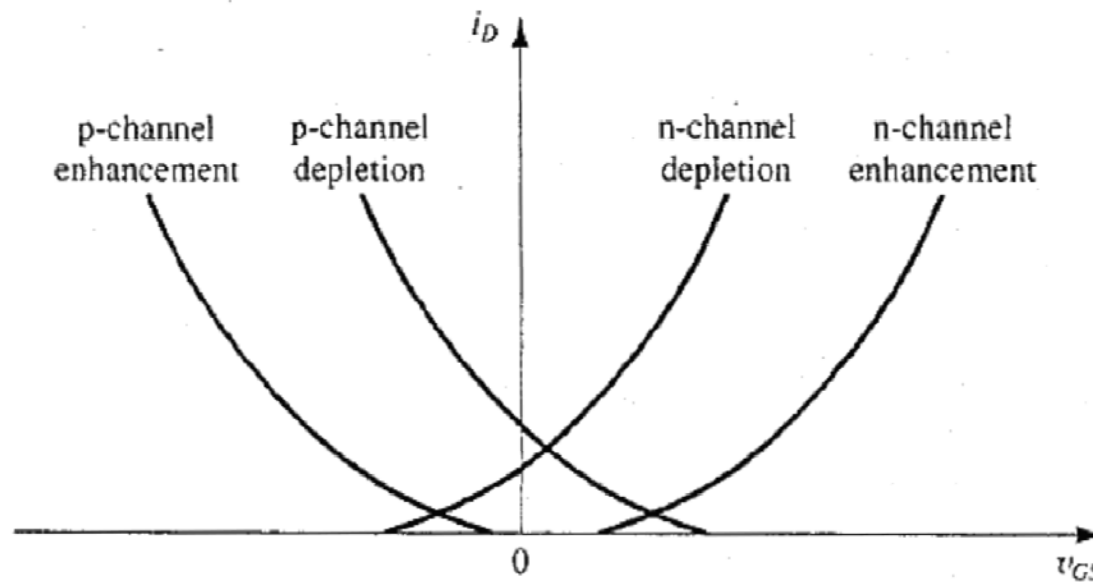


# MosFet de Empobrecimiento

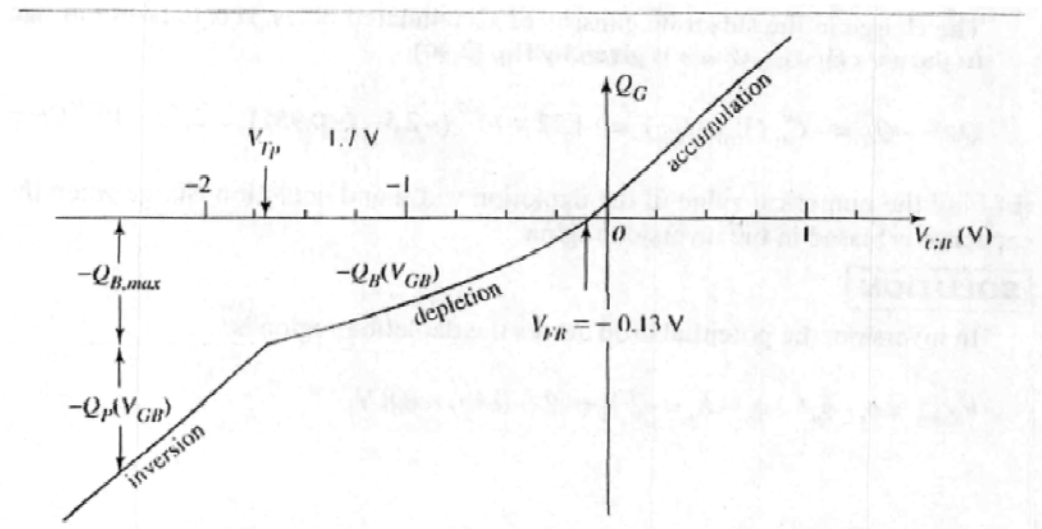
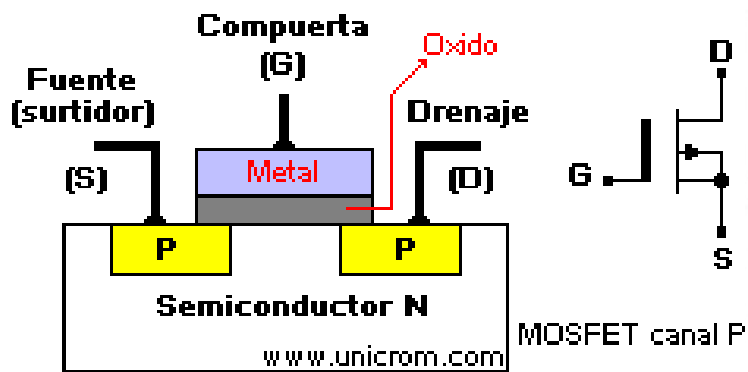
- Un MosFet de empobrecimiento conduce una corriente aún con  $V_{GS} = 0$ . Esto se logra implantando mediante dopado, un canal permanente ( $V_T < 0$ ).
- Símbolos y curvas:



# Diferentes tipos de MosFet



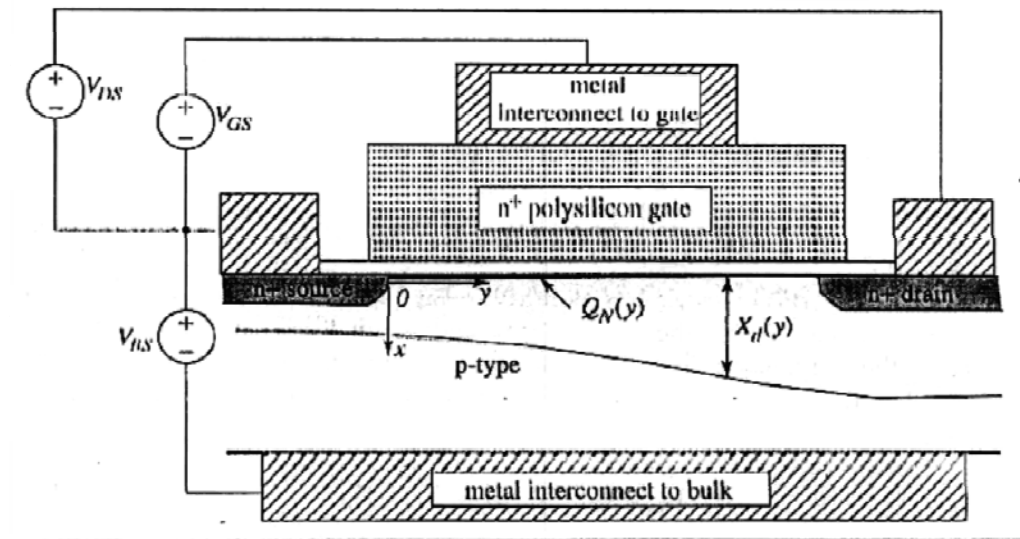
# MosFet canal P



► **Figure 3.27** Gate charge as a function of gate-bulk voltage for an MOS capacitor on an n-type substrate with doping  $N_d = 10^{17} \text{ cm}^{-3}$  and a 150 Å-thick gate oxide.

# Efecto Back-Gate

El hecho de conectar el Bulk a otro potencial distinto de tierra (sustrato P) provoca una modulación en la tensión de Gate.



$$V_T = V_{FB} - 2\phi_p + \gamma \sqrt{-2\phi_p - V_{BS}}$$

$$= V_{T0} + \gamma \left( \sqrt{-2\phi_p + v_B} - \sqrt{-2\phi_p} \right)$$

$$\gamma \triangleq \frac{\sqrt{2qN_a\epsilon_{Si}}}{C_{ox}}$$

Factor de Backgate

## Modelo Global

$$i_D = K_n \left( (v_{GS} - V_T)v_{DS} - \frac{1}{2}\alpha v_{DS}^2 \right) \quad \text{Zona Triodo}$$

$$i_D = \frac{K_n}{2\alpha} (v_{GS} - V_T)^2 \left( 1 + \frac{v_D - V_{D(sat)}}{V_A} \right) \quad \text{Zona Saturación}$$

$$K_n = \frac{W}{L} \mu_n C_{ox}$$

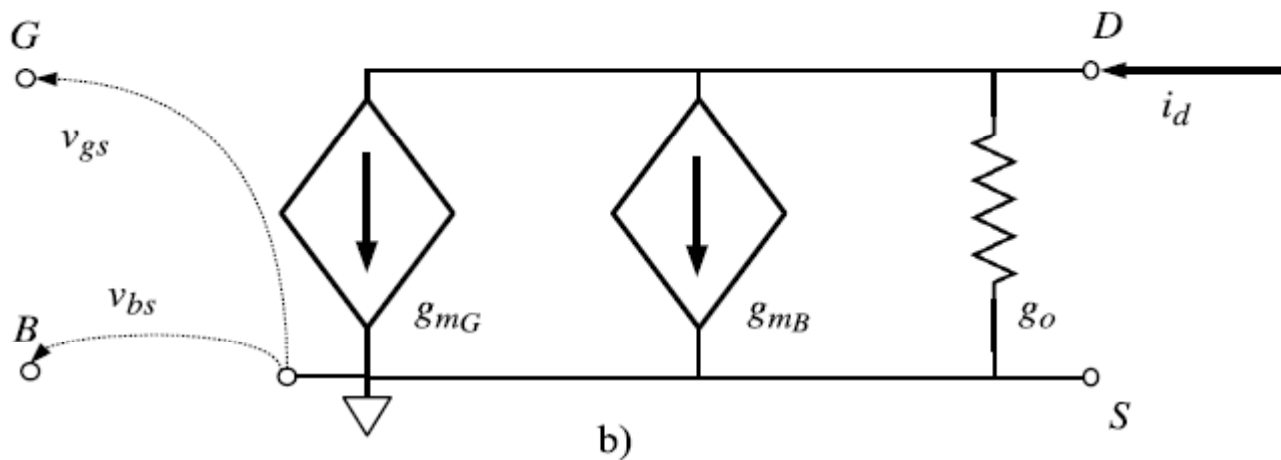
$$\alpha \triangleq 1 + \frac{\gamma}{2\sqrt{-2\phi_p - V_{BS}}}$$

$$V_T = V_{FB} - 2\phi_p + \gamma\sqrt{-2\phi_p - V_{BS}} \quad \text{Tensión Umbral}$$

$$\gamma \triangleq \frac{\sqrt{2qN_a\epsilon_{Si}}}{C_{ox}} \quad \text{Factor de Backgate}$$

# Modelo de pequeña señal

- Se linealizan los parámetros alrededor del punto de trabajo  $Q$ .
- Modelo simple de baja frecuencia:



## Modelo de pequeña señal (Triodo)

- Conductancia de Salida:

$$g_o = \frac{i_d}{v_{ds}} = \left. \frac{di_D}{dv_{DS}} \right|_Q = \frac{d}{dv_{DS}} \left( K_n \left( (v_{GS} - V_T)v_{DS} - \frac{1}{2}\alpha v_{DS}^2 \right) \right)$$
$$= K_n (V_{GS} - V_T - \alpha V_{DS})$$

- Transconductancia de Gate:

$$g_{mG} = \frac{i_d}{v_{gs}} = \left. \frac{di_D}{dv_{GS}} \right|_Q = K_n V_{DS}$$



## Modelo de pequeña señal (Triodo)

- Transconductancia de Bulk:

$$g_{m_B} \triangleq \frac{i_d}{v_{bs}} = \left. \frac{di_D}{dv_{BS}} \right|_Q = \left. \frac{di_D}{dV_T} \times \frac{dV_T}{dv_{BS}} \right|_Q$$

$$\frac{di_D}{dV_T} = -K_n V_{DS} \quad \frac{dV_T}{dv_{BS}} = (\alpha - 1)$$

$$g_{m_B} = -g_{m_G}(\alpha - 1)$$

## Modelo de pequeña señal (Saturación)

- Conductancia de Salida:

$$i_D = \frac{K_n}{2\alpha} (v_{GS} - V_T)^2 \left( 1 + \frac{v_D - V_{D(sat)}}{V_A} \right)$$

$$g_o = \frac{i_d}{v_{ds}} = \left. \frac{di_D}{dv_{DS}} \right|_Q = \frac{1}{V_A} \frac{K_n}{2\alpha} (V_{GS} - V_T)^2 = \frac{I_D}{V_A}$$

- Transconductancia de Gate:

$$g_{mG} = \frac{i_d}{v_{gs}} = \left. \frac{di_D}{dv_{GS}} \right|_Q = \frac{K_n}{\alpha} (V_{GS} - V_T) = \sqrt{\frac{K_n}{2\alpha}} \sqrt{I_D}$$

# Modelo de pequeña señal (Saturación)

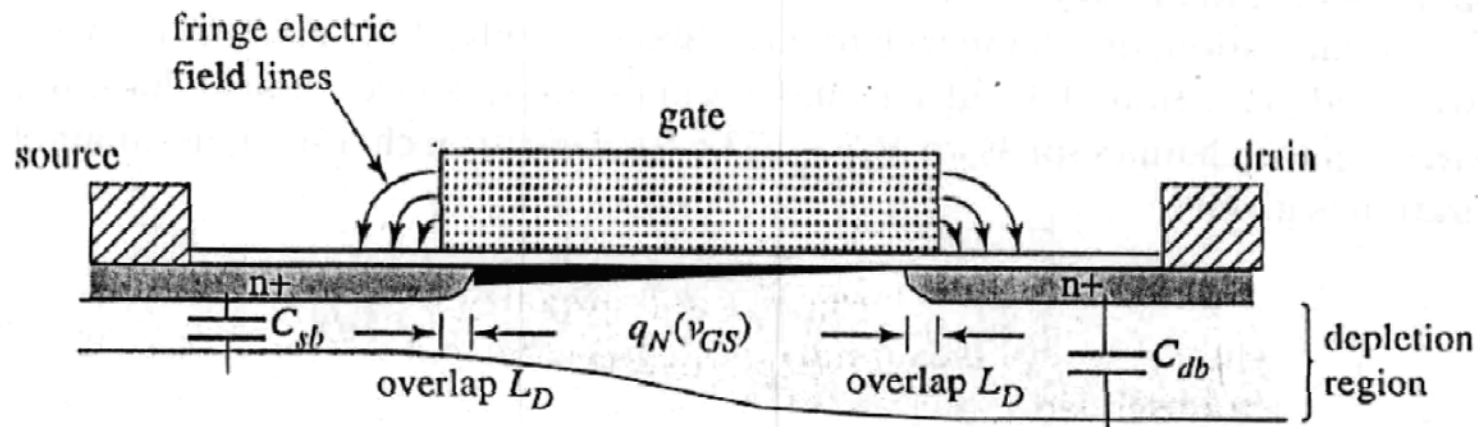
- Transconductancia de Bulk:

$$g_{m_B} \triangleq \frac{i_d}{v_{bs}} = \left. \frac{di_D}{dv_{BS}} \right|_Q = \frac{di_D}{dV_T} \times \left. \frac{dV_T}{dv_{BS}} \right|_Q$$

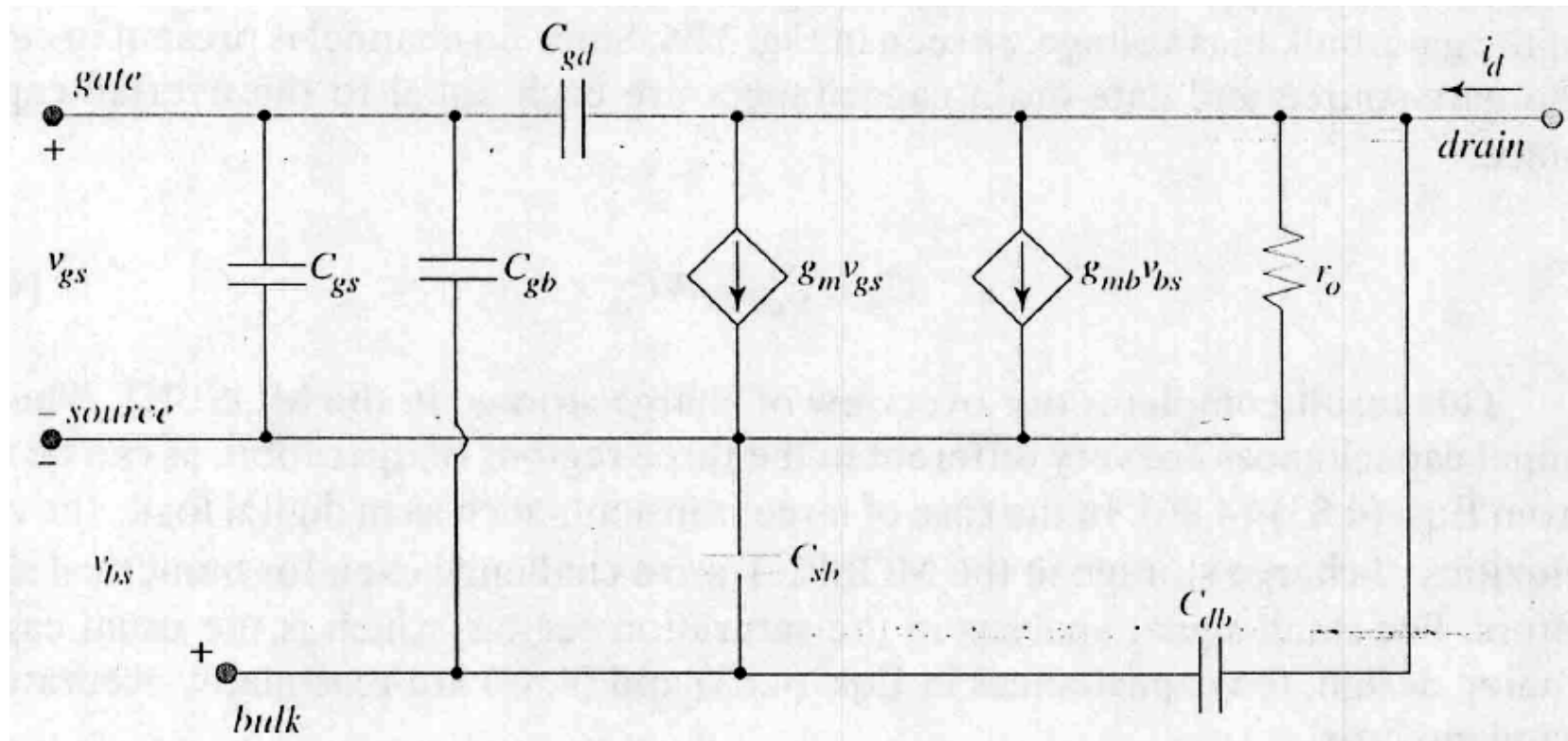
$$g_{m_B} = -g_{m_G}(\alpha - 1)$$

# Modelo pequeña señal Alta Frecuencia

- Capacidad de Gate  $\rightarrow$  Depende de la zona de funcionamiento.
- Capacidades de Vaciamiento junturas Source-Sustrato y Drain-Sustrato.
- Capacidades de solapamiento debido a limitaciones de proceso.

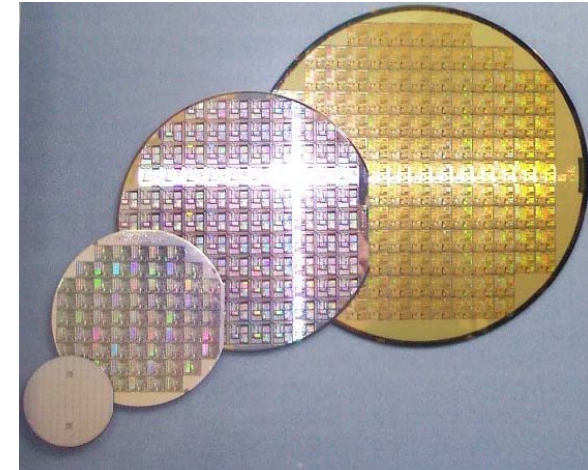


# Modelo Alta Frecuencia

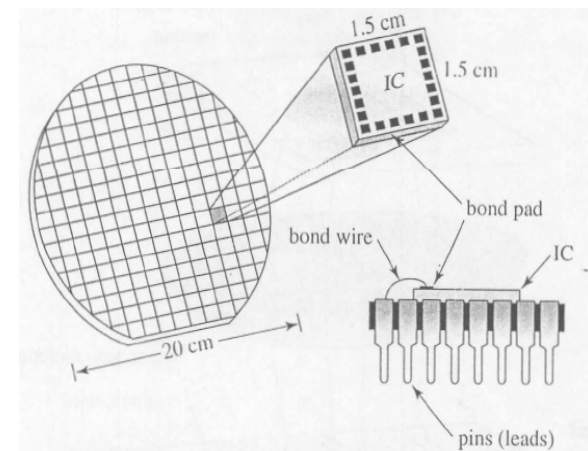


## Fabricación de CIs

- El proceso de fabricación de CIs parte de una oblea de silicio con una estructura cristalina prácticamente libre de defectos, con forma de disco llamado “wafer”.
- Los diámetros van entre 25mm y 450mm.
- Los espesores van entre  $275\mu\text{m}$  a 1mm.
- Los wafers se fabrican levemente dopados con Boro, Fósforo, Arsénico o Antimonio, con valores de  $N_x$  entre  $10^{13}$  y  $10^{16}$ , manteniendo una pureza  $> 99.9999\%$



2", 4", 6" & 8" diameter wafers

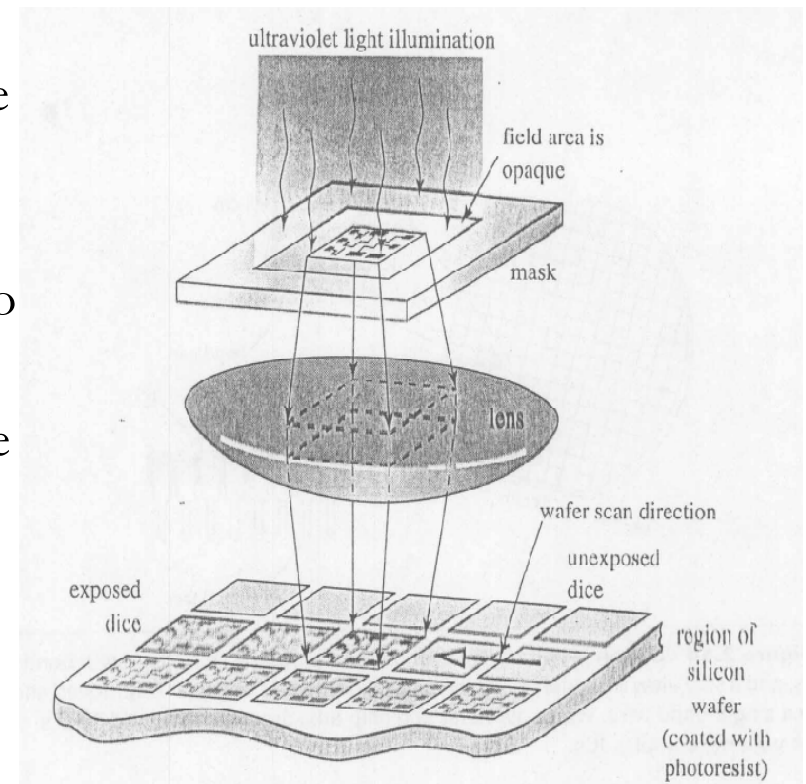


Introducción a la Electrónica



## Fabricación de CIs

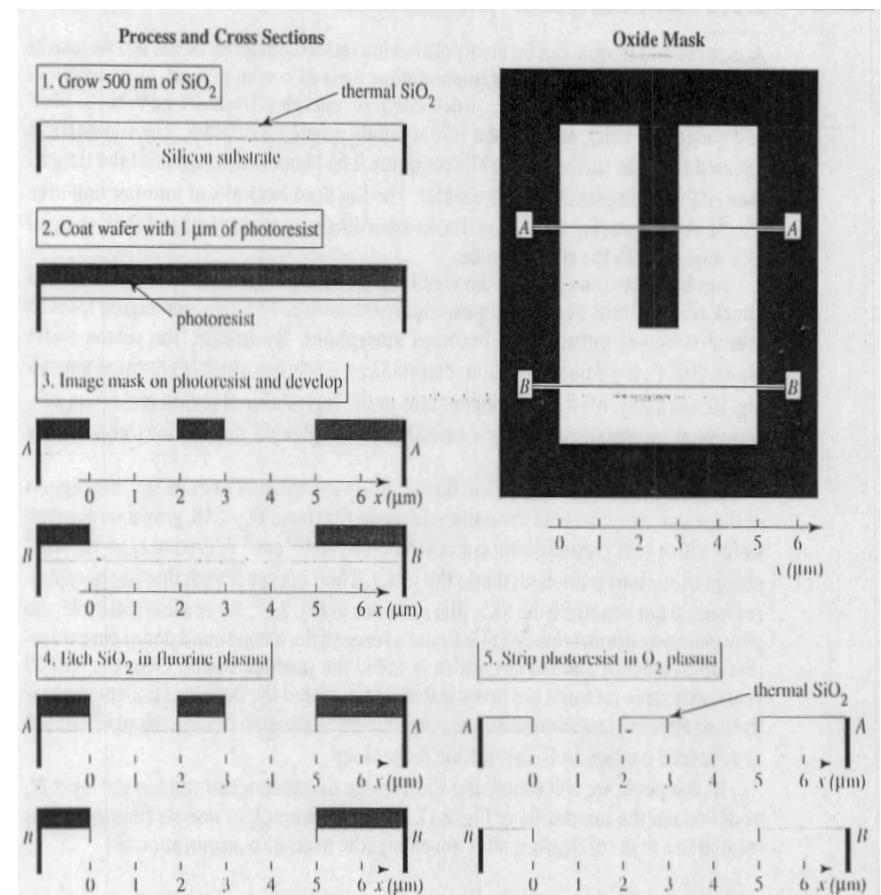
- El proceso de fabricación consiste básicamente en la transferencia de diversos patrones al wafer mediante fotolitografía.
- Un proceso típico demanda unos 20 patrones o máscaras.
- Al inicio de cada máscara se aplica previamente una película fotosensible llamada Photoresist.
- Luego se expone a luz UV y se revela. El Photoresist no expuesto permanece luego del revelado, mientras que el expuesto desaparece con la aplicación de solventes.
- A partir de allí se aplican distintos procesos de formación.





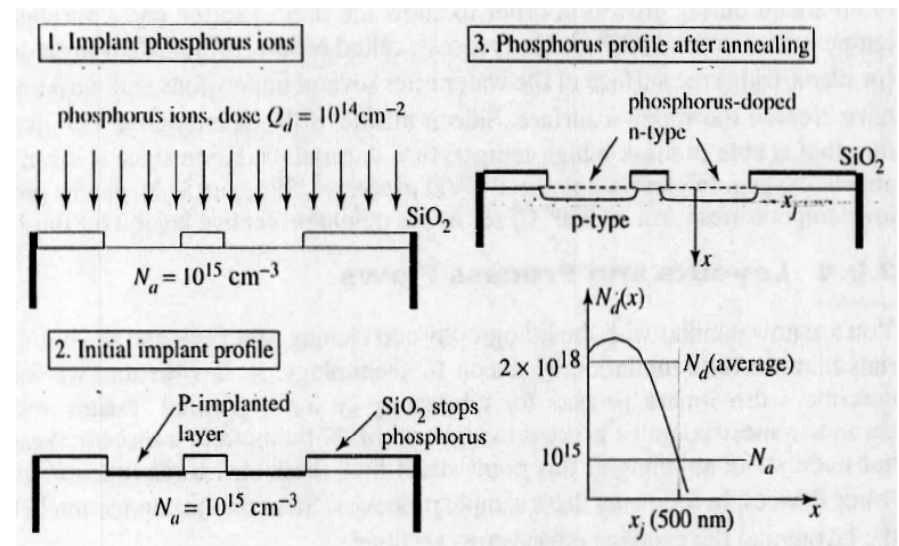
# Fabricación de un MOS

- Se crea sobre el wafer una película de  $\text{SiO}_2$  (500nm) mediante horneado a alta temperatura. Esta película es aislante.
- Se aplica el elemento fotosensible con un espesor de  $1\mu\text{m}$ .
- Se expone a UV con la interposición de la máscara y se revela en una solución alcalina.
- Se ataca el  $\text{SiO}_2$  no cubierto por Photoresist con un plasma a base de fluor, en una campana.
- Se remueve el Photoresist con un plasma a base de oxígeno que ataca materiales orgánicos.



# Fabricación de un MOS

- Las impurezas se pueden añadir a las áreas seleccionadas a través de la técnica de implantación de iones.
- Los iones de Fósforo son acelerados a niveles de energía de hasta 3Mev, se enfocan y forman un haz que es barrido por la superficie del wafer.
- De esta forma controlando el tiempo de exposición al haz se maneja la dosificación necesaria.
- Luego de la implantación, la zona superficial pierde su estructura cristalina, la que debe ser reestablecida mediante un recocido a 900°C. A este proceso se lo llama “Annealing”.
- Durante el recocido aparece un fenómeno de difusión de los iones implantados.



# Fabricación de CIs

